

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-10204
(P2002-10204A)

(43) 公開日 平成14年1月11日 (2002.1.11)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード [*] (参考) |
|--|-------|---------------|-------------------------|
| H 0 4 N 5/92 | | G 1 1 B 20/14 | 3 5 1 A 5 C 0 1 8 |
| G 1 1 B 20/14 | 3 5 1 | 27/00 | C 5 C 0 5 3 |
| 27/00 | | H 0 4 N 5/783 | D 5 C 0 5 9 |
| H 0 4 N 5/783 | | | J 5 D 0 4 4 |
| | | 5/92 | H 5 D 1 1 0 |
| 審査請求 未請求 請求項の数 9 , O L (全 23 頁) 最終頁に続く | | | |

(21) 出願番号 特願2000-190645 (P2000-190645)

(22) 出願日 平成12年6月26日 (2000.6.26)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 志田 哲郎

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 小坂 英明

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

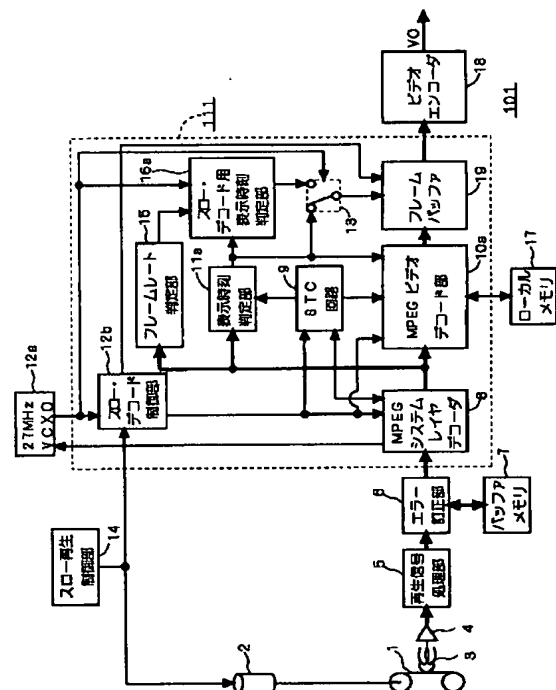
最終頁に続く

(54) 【発明の名称】 デコーダおよび再生装置

(57) 【要約】

【課題】 複雑な回路構成を必要とせず、かつ整数分の一倍速に限定されない自由度の高いスロー再生を実現する。

【解決手段】 スロー・デコード制御部12bは、VCXO12aが生成する基準クロックをスロー速度と通常速度との比率で分周する。STC回路9は、分周クロックを計数する。MPEGビデオ・デコード部10aによるデコードの開始時刻は、MPEGデータに含まれるDTSとSTC回路9の計数値とを比較することによって決定される。表示時刻判定部11aは、MPEGデータに含まれるPTSとSTC回路9の計数値とを比較することにより、デコード後のデータの出力時期を決定する。フレームバッファ19に一時的に保持される復号化データは、MPEGデータに含まれるフレーム周波数情報にもとづいて判定部16aで生成される信号にตอบสนองして出力される。



【特許請求の範囲】

【請求項1】 デコード処理に関する時刻を規定する時刻管理情報を含む符号化データを受信し、復号化するデコード部と、

前記時刻管理情報が表現する本来の速度よりも遅い速度で前記符号化データが前記デコード部へ入力されるときに、前記符号化データの1単位ごとの復号化の開始および復号化データの前記1単位ごとの出力の開始を、前記遅い速度に適合した時刻に行うよう、前記時刻管理情報にもとづいて指示する処理制御部と、

前記デコード部が出力する前記復号化データを一時的に保持する記憶部と、

当該記憶部が保持する前記復号化データの中から1単位分の内容を、前記時刻管理情報にもとづいて前記本来の速度に適合した周期で出力させる出力制御部と、を備えるデコーダ。

【請求項2】 前記処理制御部が、基準クロック信号を生成するクロック生成部と、前記基準クロック信号を前記遅い速度と前記本来の速度との比率で分周することにより分周クロックを生成する分周部と、

前記分周クロックを計数する計数部と、を備え、前記計数部の計数値と前記時刻管理情報とを比較することにより、前記復号化の開始および前記出力の開始の時期を決定する、請求項1に記載のデコーダ。

【請求項3】 前記デコード部は、前記分周クロックに同期して前記符号化データを復号化する、請求項2に記載のデコーダ。

【請求項4】 前記デコード部は、前記基準クロックに同期して前記符号化データを復号化する、請求項2に記載のデコーダ。

【請求項5】 前記出力制御部は、前記基準クロック信号を計数する別の計数部を備え、当該別の計数部の計数値と前記時刻管理情報とを比較することによって、前記周期を決定する、請求項2ないし請求項4のいずれかに記載のデコーダ。

【請求項6】 前記出力制御部は、前記処理制御部が決定する前記1単位ごとの出力の開始の時期の一つを、前記1単位分の内容を前記周期で出力させる時期の起点とする、請求項5に記載のデコーダ。

【請求項7】 前記記憶部は、すでに保持するデータを、前記デコード部が出力する前記復号化データで更新することにより、前記復号化データの最新の1単位分を保持する、請求項1ないし請求項6のいずれかに記載のデコーダ。

【請求項8】 前記符号化データがフレーム間予測符号化データを含む画像データであって、前記1単位が1フレームであり、前記記憶部は、前記デコード部が出力する前記復号化データの中で、前記フレーム間予測符号化データの復号化

に必要な画像データをも保持し、

前記デコード部は、前記記憶部が保持する前記フレーム間予測符号化データの復号化に必要な前記画像データを参照することにより、前記フレーム間予測符号化データの復号化を行う、請求項7に記載のデコーダ。

【請求項9】 請求項1ないし請求項8のいずれかに記載のデコーダと、

記録媒体に記録された前記符号化データを、外部からの指示に応じた速度で読み出し、前記デコーダへ入力する再生信号処理部と、を備える再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MPEGデータ（すなわち、MPEG規格にもとづいて符号化されたデータ）の復号化に好適なデコーダおよび当該デコーダを備える再生装置に関し、特に、符号化データが通常速度（すなわち、符号化データに記録される時刻管理情報が表現する本来の速度）よりも遅い速度であるスロー速度で入力されるときの処理であるスロー・デコード処理を、簡素なハードウェア構造で実現するための改良に関する。

【0002】

【従来の技術】図13は、従来のMPEGデータ再生装置の構成を示すブロック図である。この再生装置150は、例えば特開平11-146339号公報に開示されており、磁気テープを通じて入力されるMPEGデータに対してスロー・デコード処理を行い、それによって画像のスロー再生（すなわち、スロー速度での再生処理）が可能のように構成されている。再生装置150は、例えばデジタル・ビデオ・レコーダに組み込まれている。

【0003】再生装置150において、テープ1はMPEGデータを記録し再生するための磁気的記憶媒体であり、モーター・ドライブ2はテープ1の走行速度を制御する装置要素である。再生ヘッド3はテープ1に記録された信号を読み取り、再生アンプ4は再生ヘッド3で読み取られた信号を増幅する。再生信号処理部5は再生アンプ4で増幅された信号を復調するとともに、再生データとして復号する。エラー訂正部6は再生信号処理部5で復号された再生データの誤り訂正処理を行う。バッファメモリ7は誤り訂正時の再生データを一時的に保持する。通常再生用バッファ20は通常再生（すなわち、通常速度での再生処理）を行う時に誤り訂正後の再生データを一時的に保持する。MPEGデータ切り替えスイッチ21は、通常再生時とスロー再生時との間で、バッファ出力を選択する。

【0004】また、フレーム周波数判定部22はスロー再生時にフレーム周波数を判定する。スロー再生バッファ23はスロー再生時にMPEGデータを一時的に保持する。差分0Bピクチャ生成部24は差分0のBピクチャを生成する。Bピクチャ挿入スイッチ25は、スロー再生データに差分0のBピクチャを挿入する。スロー再生

制御部26は再生倍速を判定し、スロー再生データのピクチャ種類の判定結果にもとづいて、差分0のBピクチャの挿入を制御する。ピクチャ種類判定部27はスロー再生データのピクチャ種類を判定する。データ並べ替え部28は、差分0のBピクチャが挿入されたMPEGデータに、タイムスタンプ変更、GOP数変更及び表示順データ変更を施す。MPEGシステムレイヤ・デコーダ29は、システム・レイヤ(MPEG-TS)のデコード処理を行う。VCX030は、MPEGデータのデコード動作において基準となる27MHzクロックを、MPEGシステムレイヤ・デコーダ29からの制御信号にもとづいて生成する。MPEGビデオ・デコーダ29、31は、MPEGデータをデコードする。

【0005】つぎに、再生装置150の動作について説明する。テープ1に記録された信号は再生ヘッド3によって読み取られ、再生アンプ4で増幅された後、再生信号処理部5で復調、同期信号検出、データ分離などの信号処理がなされた後、エラー訂正部6へ入力される。エラー訂正部6は、入力された再生データをバッファメモリ7へ一旦蓄える。そして、記録時にエラー訂正符号が付加される1単位のデータがすべてそろった段階で、エラー訂正部6はエラー訂正を行う。これにより、再生にともなうエラーをほぼ完全に訂正することが可能となる。

【0006】通常再生時には、エラー訂正部6から出力されるエラー訂正後のデータが、通常再生用バッファ20および切り換えスイッチ21を介してMPEGデコーダ31へ送られる。一方、スロー再生の際には、テープ1に記録される1トラック分のすべての信号が複数回のヘッドスキャンによって再生される。例えば、デジタルVCR協議会で定めるDVCRの場合では、1トラックを単位としてエラー訂正符号が付加される。このためエラー訂正部6は、1トラック分の再生データをバッファメモリ7に蓄積し、蓄積した1トラック分の再生データに対してエラー訂正を行う。

【0007】図14は、図13の再生装置150の動作を説明するためのタイミングチャートであり、再生装置150によりデコードされる画像データの構成を示している。スロー再生時の動作を説明する前に、スロー再生時の表示すべき画像データと、デコーダへ入力される画像データについて、図14を用いて説明する。図14においてデータ列(a)は、一般的なMPEG形式の画像データの構造を示している。このMPEG画像データは、表示順で、I0、B0、B1、P0、B2、B3、P1、B4……の順序で構成されている。

【0008】I0ピクチャはフレーム内符号化画像であり、単独で一枚のフレームを再構成することが可能である。P0ピクチャはI0ピクチャから、P1ピクチャはP0ピクチャから、それぞれ予測されるフレーム間予測符号化画像であり、B0およびB1ピクチャはI0ピクチャとP0ピクチャから、またB2およびB3ピクチャ

はP0ピクチャとP1ピクチャから、それぞれ予測されるフレーム間予測符号化画像である。

【0009】データ列(a)にもとづいて1/3倍速のスロー再生を行った場合には、データ列(b)のように、表示順ではI0、B0、B1、P0と3フレーム間隔のまばらなデータしか存在しない。これを表示する際にはデータ列(c)のように、各フレームを3回繰り返して出力する必要がある。しかしながら、通常のデジタル放送受信機等に組み込まれるMPEGデコーダにおいては、データ列(b)のような標準的ではないフレームがまばらなMPEGデータを受けとって、データ列(c)のように各画像を繰り返し表示するためには、それに対応した特別な仕掛けが必要となる。

【0010】これに対して、データ列(c)のようなフレーム列を表示するように、標準的なMPEGデータを作ってMPEGデコーダへ入力すれば、特別な仕掛けを有しないMPEGデコーダであっても、良好なスロー再生画像を表示することが可能となる。データ列(c)のようなフレーム列を表示する標準的なMPEGデータが、データ列(d)である。データ列(d)においても、データ列(a)～(c)と同様に、各ピクチャが表示順に図示されている。

【0011】データ列(d)では、まず、再生されたI0ピクチャのデータが、データの内容を変更することなくそのまま出力される。つぎに、I0ピクチャを繰り返して表示するために差分0の前方予測のBピクチャBaが2回(2フレーム分)出力される。Baピクチャは前方予測のBピクチャであるので、それより前に表示されるIまたはPピクチャから予測されるフレーム間予測符号化画像である。図14に例示されるデータ列(d)では、BaピクチャはI0ピクチャから予測されるフレーム間予測符号化画像であり、特別の仕掛けのない通常のMPEGデコーダでも、Baピクチャが入力されると、I0ピクチャから前方予測した差分0の画像、つまりI0フレームと同じ画像が出力される。

【0012】なお、I0ピクチャを3回繰り返して表示させるために、データ列(c)のように、I0ピクチャのデータをそのまま3回繰り返して出力してもよい。しかしながら、通常において、他の種類のピクチャに比べてIピクチャのデータ量は多いためこれを連続させると、デコーダ側でバッファがあふれるおそれがあるため、データ列(d)では、差分0の前方予測BピクチャであるBaピクチャを出力させているのである。

【0013】次に、元のデータ内容でのB0ピクチャを3回繰り返して表示させるために、まず、B0ピクチャをそのまま出力する。B0ピクチャは、それより前に表示されるI0ピクチャと、それより後に表示されるP0ピクチャとから予測されるフレーム間予測符号化画像である。I0ピクチャとP0ピクチャはそのまま出力されるので、B0ピクチャにおいても、そのデータ内容を変

更されることなく、元ままで出力される。この後に続いて、B0ピクチャを2回繰り返して表示させるために、この後にB0ピクチャが2回連続して出力される。同じ理由により、その次のB1ピクチャを3回繰り返して表示させるために、B1ピクチャがそのまま3回繰り返して出力される。

【0014】この後、P0ピクチャを3回繰り返して表示させる必要があるが、P0ピクチャのデータをそのまま3回繰り返して出力するわけにはいかない。この理由は次の通りである。

【0015】P0ピクチャはそれより前に表示されるIピクチャまたはPピクチャから予測されるフレーム間予測符号化画像であり、ここではI0ピクチャから予測されるフレーム間予測符号化画像である。P0ピクチャのI0ピクチャとの差分をdP0と表すと、 $P0 = I0 + dP0$ のように表される。仮に、P0ピクチャのデータを3回繰り返して出力するとすると、2つ目のP0ピクチャを受け取ったデコーダは、その前に表示されるPピクチャ、すなわちP0ピクチャからの差分データであると、2つ目のP0データを解釈し、その前のP0ピクチャ($= I0 + dP0$)と同じではなく、 $\{ (I0 + dP0) + dP0 \}$ の画像を表示してしまう。

【0016】そこで、I0ピクチャの場合と同じように、まず、P0ピクチャをそのまま出力し、その後に、このP0ピクチャと差分0の画像、つまりP0ピクチャと同じ画像を2回続けて表示させるために、前方予測の差分0のBピクチャであるBbピクチャ(データ内容はBaピクチャと同じ)が2回続けて出力される。

【0017】以上のように、データ列(a)で表される元の画像を1/3スロー再生する場合には、表示順でデータ列(d)のような画像データを生成し、出力することによって、フレーム周波数が表示フレーム周波数に等しく、かつ標準のデコーダを用いてデータ列(c)のように表示される画像データを供給することが可能となる。データ列(d)のフレーム列をデータ出力の順に書き直すと、データ列(e)となる。両方向予測のB0ピクチャおよびB1ピクチャは表示順序が後に位置するIおよびPピクチャのデータが揃わないとデコードできないため、データ列(e)では、Bピクチャのデコードに必要なIピクチャおよびPピクチャが、B0ピクチャおよびB1ピクチャよりも先に出力される。

【0018】データ列(d)のような画像データを生成する手順について、図13に戻って説明する。スロー再生によって再生された画像データは、エラー訂正部6により1トラック分まとめられた後に出力される。図13が示す再生装置150では、スロー再生により本来の伝送速度よりも遅い速度でデータが伝送されるため、スロー再生時は、このデータは一旦スロー再生用のバッファ23に蓄積されるとともにフレーム周波数判定部22へ入力される。フレーム周波数判定部22では、MPEGデー

タの中に含まれる画像フォーマット情報から、表示するフレーム周波数が判定され、その判定結果がスロー再生制御部26へ入力される。

【0019】スロー再生制御部26は、切り替えスイッチ25をスロー再生用バッファ23の側に切り替えて、スロー再生用バッファ23の読み出し制御を行い、1ピクチャ分のデータをスロー再生用バッファ23から読み出す。1ピクチャ分のデータが読み出されたときには、ピクチャ種別判定部27によって、スロー再生用バッファ23から読み出されたピクチャデータがI、P、Bピクチャのいずれであるかが判定され、その判定結果がスロー再生制御部26に送られる。スロー再生制御部26は、ピクチャ種別判定部27からの判定結果に応じて切り換えスイッチ25を制御する。

【0020】すなわち、読み出された1ピクチャ分のデータがIまたはPピクチャであれば、スロー再生制御部26は、切り替えスイッチ25を差分0Bピクチャ生成部24の側へ切り換え、前方予測の差分0のBピクチャを出力させる。また読み出されたデータがBピクチャであった場合は、スロー再生制御部26は、切り替えスイッチ26をスロー再生用バッファ23の側に保持して、Bピクチャの読み出しを再度行う。

【0021】これらの疑似画像の出力回数は、あらかじめ決められたスロー再生速度に基づいて、スロー再生制御部26で決定される。上記の例のように1/3倍速の場合は、スロー再生制御部26にスロー再生開始の命令が入力されると、スロー再生制御部26は、テープ1を駆動するモータ2を1/3倍速で回転させるとともに、前述したように読み出しデータの1フレームに対して2フレームのデータを挿入する。

【0022】このようにして、切り換えスイッチ25から、図14のデータ列(e)のような画像データ列が出力される。切り換えスイッチ25から出力された各データは、データ並び替え部28および切り換えスイッチ21を介してMPEGデコーダ28、31へ送られる。

【0023】データ並び替え部28は、タイムスタンプ、GOP数、および表示順を変更する装置要素である。すなわち、元の画像データに付されているタイムスタンプ(すなわち、画像データをデコードし表示する相対時刻)が1/3倍速スローであれば、元の時刻を3倍に引き延ばした時刻に変更せしめられるとともに、各GOP(Group of Pictures)内のピクチャ数が3倍に書き換えられる。また、各GOP内での各ピクチャの表示順も、挿入された疑似画像Ba、Bbを含めた順番へと書き換えられる。

【0024】このようにしてスイッチ21を経由して出力されるデータは、スロー再生のデータ伝送速度に適応したタイムスタンプを有するMPEGデータとして、MPEGシステム・レイヤ・デコーダ29へ入力される。MPEGシステム・レイヤ・デコーダ29では、該入力されたMPEGデ

ータからタイムスタンプ等を抽出して、システム・クロックを生成するVCX030を制御するとともに、画像データを取り出してMPEGビデオ・デコーダ31へ入力する。MPEGビデオ・デコーダ31では、入力されたMPEG画像データをデコードし、映出可能な画像データを出力する。

【0025】

【発明が解決しようとする課題】しかしながら、従来のMPEGデータ再生装置では、図13が示すようにスロー再生を実現するための回路構成が複雑になるという問題点があった。また、これとも相まって、装置の各要素の制御が複雑であるという問題点があった。さらに、スロー再生用の差分0のBピクチャが1ピクチャ単位で挿入されるため、基本的に整数分の一倍速にしか対応できないという問題点があった。

【0026】本発明は、従来の技術における上記した問題点を解消するためになされたもので、複雑な回路構成を必要とせず、かつ整数分の一倍速に限定されない自由度の高いスロー再生を実現するMPEGデコーダを提供することを目的とする。

【0027】

【課題を解決するための手段】第1の発明の装置は、デコーダであって、デコード処理に関する時刻を規定する時刻管理情報を含む符号化データを受信し、復号化するデコード部と、前記時刻管理情報が表現する本来の速度よりも遅い速度で前記符号化データが前記デコード部へ入力されるときに、前記符号化データの1単位ごとの復号化の開始および復号化データの前記1単位ごとの出力の開始を、前記遅い速度に適合した時刻に行うよう、前記時刻管理情報にもとづいて指示する処理制御部と、前記デコード部が出力する前記復号化データを一時的に保持する記憶部と、当該記憶部が保持する前記復号化データの中から1単位分の内容を、前記時刻管理情報にもとづいて前記本来の速度に適合した周期で出力させる出力制御部と、を備える。

【0028】第2の発明の装置では、第1の発明のデコーダにおいて、前記処理制御部が、基準クロック信号を生成するクロック生成部と、前記基準クロック信号を前記遅い速度と前記本来の速度との比率で分周することにより分周クロックを生成する分周部と、前記分周クロックを計数する計数部と、を備え、前記計数部の計数値と前記時刻管理情報とを比較することにより、前記復号化の開始および前記出力の開始の時期を決定する。

【0029】第3の発明の装置では、第2の発明のデコーダにおいて、前記デコード部が、前記分周クロックに同期して前記符号化データを復号化する。

【0030】第4の発明の装置では、第2の発明のデコーダにおいて、前記デコード部が、前記基準クロックに同期して前記符号化データを復号化する。

【0031】第5の発明の装置では、第2ないし第4のいずれかの発明のデコーダにおいて、前記出力制御部

が、前記基準クロック信号を計数する別の計数部を備え、当該別の計数部の計数値と前記時刻管理情報とを比較することによって、前記周期を決定する。

【0032】第6の発明の装置では、第5の発明のデコーダにおいて、前記出力制御部が、前記処理制御部が決定する前記1単位ごとの出力の開始の時期の一つを、前記1単位分の内容を前記周期で出力させる時期の起点とする。

【0033】第7の発明の装置では、第1ないし第6のいずれかの発明のデコーダにおいて、前記記憶部が、すでに保持するデータを、前記デコード部が出力する前記復号化データで更新することにより、前記復号化データの最新の1単位分を保持する。

【0034】第8の発明の装置では、第7の発明のデコーダにおいて、前記符号化データがフレーム間予測符号化データを含む画像データであって、前記1単位が1フレームであり、前記記憶部は、前記デコード部が出力する前記復号化データの中で、前記フレーム間予測符号化データの復号化に必要な画像データをも保持し、前記デコード部は、前記記憶部が保持する前記フレーム間予測符号化データの復号化に必要な前記画像データを参照することにより、前記フレーム間予測符号化データの復号化を行う。

【0035】第9の発明の装置は、再生装置であって、第1ないし第8のいずれかの発明のデコーダと、記録媒体に記録された前記符号化データを、外部からの指示に応じた速度で読み出し、前記デコーダへ入力する再生信号処理部と、を備える。

【0036】

【発明の実施の形態】以下の各実施の形態の装置は、従来周知のMPEG2-TS(Transport Stream)の形式で符号化(符号化は、MPEG2-TSの場合には圧縮化と多重化の双方を含む)されたMPEGデータ(MPEGデータは、MPEG2-TSの場合には最も広くは、複数チャネルの画像データ、複数チャネルの音声データ、およびその他のデータを含む)を受信し、復号化するデコーダおよび当該デコーダを有する再生装置であり、特にデコーダは本来の速度よりも遅い速度で入力されるMPEGデータを復号可能に構成される。上記デコーダを有する再生装置は、MPEGデータが記録された記録用テープを記録時よりも遅い速度で再生可能であり、それにより本来の速度よりも遅い速度で読み取られたMPEGデータを復号可能に構成されている。

【0037】MPEG2-TSは、当業者に周知の規格であるため、例えば時刻管理情報としてのPCR、PTS、DTSなど、本規格にもとづく各種の用語については、簡単な説明を付するのみで、その詳細な説明は略する。また、各実施の形態では、MPEG2-TSにもとづくMPEGデータを処理の対象とする例について説明するが、本発明の装置はMPEG2-TSの時刻管理情報と同等のデコード処理に関する時刻を規定する情報を有する符号化データなど、よ

り広範囲の符号化データを処理の対象とすることが可能である。

【0038】実施の形態1. 図1は本発明の実施の形態1によるMPEGデータ再生装置のブロック図である。なお、以下の図において、図13に示した従来の装置と同一部分または相当部分（同一の機能をもつ部分）については、同一符号を付してその詳細な説明を略する。また、図1では、信号線の中でMPEGデータに含まれる信号を伝達する部分は太線で描かれている。

【0039】図1のMPEGデータ再生装置101は、MPEGデコーダ111を備えており、このMPEGデコーダ111には、エラー訂正部6から再生・復号後のMPEGデータが入力される。MPEGデコーダ111において、MPEGシステムレイヤ・デコーダ8はエラー訂正部6から送られる再生・復号後のMPEGデータに対して、システム・レイヤ（MPEG-TS）のデコード処理を行う。STC（System Time Counter）回路9は、MPEG画像／音声データのデコード及び出力（表示）タイミングのベースとなるPCR（Program Clock Reference：番組基準クロック情報）によりデコード／出力（表示）のタイミングを計数するカウンタである。PCRは時刻管理情報の一種である。

【0040】MPEGビデオ・デコード部10aは、入力されたMPEG画像データをデコードし、デコード後の画像データを出力する。表示時刻判定部11aは、デコード後のデータ出力（表示）タイミングを示すPTS（Presentation Time Stamp）を、MPEG画像データから読み取り、上記したPCRに基づいて計数を行っているSTC回路9の計数値とPTSとの比較を行い、STC回路9の計数値がPTSに対して所定の近傍値まで到達した時に、デコードデータの出力（表示）を開始するための制御信号を、MPEGビデオ・デコード部10aおよびスロー・デコード用表示時刻判定部16aへ付与する。PTSは時刻管理情報の一種である。

【0041】MPEGデコーダ111に接続されるVCX012aは、MPEGデコーダ111においてデコード処理等の基本時間単位となる27MHzの基準クロックを、MPEGデコーダ111からの制御にもとづいて生成する。スロー・デコード制御部12bは、27MHzのクロックを再生速度に応じて分周してシステムクロックを得て、MPEGシステムレイヤ・デコーダ8とSTC回路9へ供給するとともに、通常デコード（すなわち、通常速度でのデコード）の場合と、スロー・デコード（すなわち、スロー速度でのデコード）の場合との間で、表示命令信号を切り替えてフレームバッファ19に出力するための切り替えスイッチ13を制御する。

【0042】切り替えスイッチ13は、表示時刻判定部11aから出力される制御信号と、スロー・デコード時にスロー・デコード用表示時刻判定部16aにて別途生成されるスロー・デコード用制御信号とを、切替自在に選択する。MPEGデコーダ111に接続されるスロー再生

制御部14は、図示しないユーザ・インターフェース等を通じて指示された速度でのデータ再生を達成するために、モーター・ドライブ2、分周比選択部12bおよび切り替えスイッチ13を制御する。

【0043】フレームレート判定部15は、表示時のフレーム周波数を表現する情報であってMPEG画像データの中に存在するフレーム周波数情報を読み出し、スロー・デコード用表示時刻判定部16aへ出力する。本明細書では、フレーム周波数情報は、時刻管理情報の一種であるとする。スロー・デコード用表示時刻判定部16aは、表示時刻判定部11aからの表示制御信号と、フレームレート判定部15からのフレーム周波数情報、およびVCX012aからの基準クロックにもとづいて、スロー再生時の表示制御信号を生成する。

【0044】MPEGデコーダ111に接続されるローカル・メモリ17は、MPEGビデオ・デコード部10aがデコードを実行する際に、画像データを展開する記憶媒体である。MPEGデコーダ111に接続されるビデオ・エンコーダ18は、デコードされた後のデジタル形式の画像データであるデジタル・ビデオ信号をアナログ形式の画像データであるアナログ・ビデオ信号V0へ変換する。フレームバッファ19は、MPEGビデオ・デコード部10aから出力されたデジタル・ビデオ信号の1フレーム分を一時的に保持する。

【0045】つぎに、MPEGデコーダ111の動作を、図1を参照しつつ説明する。テープ1に記録された信号は、再生ヘッド3から読み出され、再生アンプ4で増幅された後、再生信号処理部5で復調、同期信号検出、データ分離などの信号処理を施され、その後、エラー訂正部6へ入力される。エラー訂正部6は、入力された再生データを一旦バッファメモリ7に蓄える。そして、記録時にエラー訂正符号が付加される1単位のデータがすべてそろった段階で、エラー訂正部6はエラー訂正を行う。これにより、ほぼ完全に再生時のエラーを訂正することが可能となる。

【0046】エラー訂正部6から出力されるエラー訂正後の信号は、MPEG-TS（TS：Transport Stream）形式のデータ・ストリームであり、MPEG規格に基づいて圧縮処理された画像データ（ビデオ・データ）、音声データ（オーディオ・データ）、およびこれらに関する付加情報が、パケット化された形式で時分割多重化されている。MPEG-TS形式のデータストリームは、MPEGシステムレイヤ・デコーダ8へ入力され、画像データのパケットのみを選択して得られるビデオPES（Packetized Elementary Stream）とPCRとが抽出される。ビデオPESは、MPEG規格に準拠した画像の符号化ストリームであり、ピクチャ毎の復号時刻を示すタイムスタンプであるDTS（Decode Time Stamp）と、ピクチャ毎の表示時刻を示すタイムスタンプであるPTS（Presentation Time Stamp）とを含んでいる。DTSも時刻管理情報

の一種である。PCRは、MPEGデータ再生装置において画像・音声の符号化・復号化の際に基準時刻となるSTC回路9の計数値を校正するための情報である。MPEGシステムレイヤ・デコーダ8は、MPEGビデオ・デコード部10a、表示時刻判定部11a、およびフレームレート判定部15へビデオPESを伝え、STC回路9へPCRを伝える。

【0047】PCRは、本来において、MPEG-TS形式のデータストリームがエンコードされたときに設定された伝送データレートに適応した時間間隔であり、27MHzの基準クロックによる計数値の変化として与えられるため、MPEGシステムレイヤ・デコーダ8は、入力されたMPEG-TS形式のデータ・ストリームの中からPCRを読み取り、さらにSTC回路9から現時点の計数値を読み取り、読み出した計数値とPCRの値との差分信号にもとづいて、VCX012aへ制御信号を出力することにより、データストリームに重畳されたシステム時間を再現し、それによってデコード処理を可能にしている。VCX012aでは、入力された制御信号に基づいて、発振周波数を増加あるいは減少させることにより、データストリームの中のPCRに適合するクロック周波数が得られるように調整する。すなわち、読み取られたPCRが示す時刻よりも、読み取った現時点のSTC（すなわち、STC回路9の計数値）が示す時刻の方が進んでいる場合、VCX012aは、発振周波数を低める方向に調整する。逆に、PCRが示す時刻よりも、STCが示す時刻の方が遅れている場合には、VCX012aは、発振周波数を高める方向に調整する。

【0048】スロー再生の際には、スロー再生制御部14は、図示しないユーザー・インターフェース等を通じて指定される再生倍速情報（すなわち、再生倍速を表現する情報）に基づいて、スロー再生に適合するよう動作モーター・ドライブ2を制御するとともに、再生倍速に適応した分周比でVCX012aの出力クロック信号を分周するようスロー・デコード制御部12bを制御し、さらに再生倍速に適した表示時刻へ切り替えるように切り替えスイッチ13を制御する。スロー・デコード制御部12bは、スロー再生制御部14から入力される再生速度情報に基づき、入力されたクロック信号を分周する。例えば、通常速度での再生を行う場合には、スロー・デコード制御部12bは、入力されたクロック信号をそのまま（1/1倍）出力するが、1/N倍速スロー再生を行う場合には、入力されたクロック信号をN分周し、周波数を1/N倍に変換して出力する。

【0049】モーター・ドライブ2は、スロー再生制御部14からの制御信号に基づき、テープ1の走行速度を変更する。1/N倍速スロー再生時には、テープ1の走行速度は、通常再生時の1/N倍となる。従って、1/N倍速スロー再生時には、再生ヘッド3から読み出される信号のデータレートも通常再生時の1/N倍となり、

再生アンプ4、再生信号処理部5、エラー処理部6で処理された信号が、通常再生時の1/N倍のデータレートでMPEGシステムレイヤ・デコーダ8へ入力される。

【0050】STC回路9は、スロー・デコード制御部12bから入力されるクロック信号にもとづいて計数を行う。このため1/N倍速スロー再生時には、VCX012aの出力クロック信号の1/N倍の周波数に分周された信号にもとづいて計数が行われる。この場合、MPEGシステムレイヤ・デコーダ8に到着するデータストリームの到着速度が1/N倍になっているため、データストリームから読み出したPCRと、1/N倍に分周されたシステム・クロックに基づくSTC回路9の計数値との間に、変化速度の齟齬は生じず、これらの差分に基づくVCX012aの制御信号は正しく生成される。

【0051】表示時刻判定部11aは、MPEGシステムレイヤ・デコーダ8から入力されるビデオPESから表示タイミングを示すPTSを抽出する。表示時刻判定部11aは、さらにSTC回路9を監視し、PTSが示す時刻とSTC回路9が示す時刻が一致しないしはある一定の近傍範囲に到達した場合に、該当する画像の表示をフレームバッファ19に開始させる表示開始命令を、切り替えスイッチ13へ出力する。

【0052】フレームレート判定部15は、MPEGシステムレイヤ・デコーダ8から入力されるビデオPESから、画像のフレーム周期を示すフレームレート情報を抽出し、フレームレート情報をスロー・デコード用表示時刻判定部16aへ出力する。スロー・デコード用表示時刻判定部16aは、フレームレート判定部15から入力されたフレームレート情報から、画像のフレーム周期を得る。またスロー・デコード用表示時刻判定部16aは、表示時刻判定部11aから入力された、デコードを開始する最初のフレームの表示開始命令の到着時刻を起点とし、フレーム周期毎に表示開始命令を切り替えスイッチ13へ出力する。なお、フレーム周期の生成には、VCX012aから入力された基準クロック信号が使用される。すなわち、スロー・デコード用表示時刻判定部16aは、基準クロック信号を計数するカウンタ（図示を略する）を有しており、その計数値とフレームレート情報とを比較することによって、フレーム周期を得ている。

【0053】スロー再生制御部14は、通常再生時には、表示時刻判定部11aが出力する表示開始命令がフレームバッファ19へ入力されるように、切り替えスイッチ13を制御し、スロー再生時には、スロー・デコード用表示時刻判定部16aが出力する表示開始命令がフレームバッファ19へ入力されるように、切り替えスイッチ13を制御する。

【0054】図2は、表示時刻判定部11aとスロー・デコード用表示時刻判定部16aとが出力する表示開始命令が、切り替えスイッチ13を経由して、フレームバッファ19へ入力されるタイミングを示すタイミングチ

ャートである。タイミングチャート(a)は通常再生時にフレームバッファ19に表示開始命令が入力されるタイミングを示しており、タイミングチャート(b)はスロー・デコードの一例としての1/2.5倍速再生時に表示時刻判定部11aが表示開始命令を出力するタイミングを示しており、タイミングチャート(c)は1/2.5倍速時にスロー・デコード用表示時刻判定部16aが表示開始命令を出力するタイミングを示している。図2は、これら3通りのタイミングを、互いに比較可能なように1つの図面に表示している。

【0055】通常再生時には、スロー再生制御部14は、表示時刻判定部11aが出力した表示開始命令が切り替えスイッチ13を経由してフレームバッファ19へ入力されるように、切り替えスイッチ13を制御する。タイミングチャート(a)における時刻T401は、表示時刻判定部11aが、最初に表示される画像のPTSであるPTS1と、STC回路9の計数値(ST42)とが一致したことを検出した時刻であり、この時刻において、表示開始命令が切り替えスイッチ13へ出力され、切り替えスイッチ13を経由して、フレームバッファ19へ入力される。同様にタイミングチャート(a)における時刻T402は、表示時刻判定部11aが、つぎに表示される画像のPTSであるPTS2と、STC回路9の計数値とが一致したことを検出した時刻であり、この時刻において、表示開始命令が切り替えスイッチ13へ出力され、切り替えスイッチ13を経由して、フレームバッファ19へ入力される。このように、通常再生時には、ビデオPESから抽出されたPTSと、STC回路9の計数値とが一致した時刻に、フレームバッファ19に表示開始命令が入力される。

【0056】つぎに、スロー再生時に表示時刻判定部11aが表示開始命令を出力するタイミングについて説明する。タイミングチャート(b)は、整数分の1倍速ではないスロー再生の例として、1/2.5倍速スロー再生時に表示時刻判定部11aが表示開始命令を出力するタイミングを示している。タイミングチャート(b)の時刻T411は、最初に表示される画像のPTSであるPTS1と、STC回路9の計数値とが一致したことを検出した時刻であり、時刻T412は、つぎに表示される画像のPTSであるPTS2と、STC回路9の計数値とが一致したことを検出した時刻である。1/2.5倍速再生時には、STC回路9へ入力されるクロック信号の周波数は、通常再生時の1/2.5倍に低下する。従って、通常再生時の時刻T401と時刻T402の間隔に比べて、1/2.5倍速スロー再生時の時刻T411と時刻T412の間隔は、2.5倍に拡大する。

【0057】スロー再生時においても、MPEGデータ再生装置101から出力された画像データが、外部モニタで正しく表示されるためには、MPEGビデオ・デコード部10aから適正なフレーム周期で画像データが出力されな

ければならない。適正なフレーム周期は、フレームレート判定部15から得られる。

【0058】そこで、スロー・デコード用表示時刻判定部16aは、表示時刻判定部11aから表示開始命令を初めて入力された時刻(T421)を基準として、フレーム周期毎に表示開始命令を出力する。スロー再生時には、スロー再生制御部14は、MPEGデータがMPEGシステムレイヤ・デコーダ8へ入力される速度を表現する再生倍速情報をスロー・デコード制御部12bへ入力する。スロー・デコード制御部12bは、入力された再生倍速情報にもとづいて、VCX012aから入力される27MHzクロック信号をデータ入力速度に応じて分周してMPEGシステムレイヤ・デコーダ8へ出力し、スロー・デコード用表示時刻判定部16aが出力した表示開始命令がフレームバッファ19へ入力されるように、切り替えスイッチ13を制御する。このとき、スロー・デコード用表示時刻判定部16aは、スロー・デコード制御部12bが分周したクロックではなく、分周前の27MHzクロック信号にもとづいてフレーム周波数を再現するため、整数分の1倍速でないスロー再生時にも、フレームバッファ19に、適正なフレーム周期で、表示開始命令が入力される。

【0059】タイミングチャート(c)は、1/2.5倍速スロー再生時に、スロー・デコード用表示時刻判定部16aが表示開始命令を出力するタイミングを示している。時刻T421、T422、T423、T424、T425、T426は、スロー・デコード用表示時刻判定部16aが表示開始命令を出力するタイミングである。時刻T421は、スロー・デコード用表示時刻判定部16aが、表示時刻判定部11から初めて表示開始命令を受信した時刻である。時刻T422は、時刻T421からフレーム周期だけ経過した時間であり、時刻T423は、時刻T422からフレーム周期だけ経過した時刻である。スロー・デコード用表示時刻判定部16aは、時刻T421を基準として、時刻T422、T423、……のように、フレーム周期毎に表示開始命令を出力する。フレーム周期はスロー再生の倍速値に関係なく、VCX012の分周されていない27MHzクロック信号にもとづいて生成される。

【0060】MPEGビデオ・デコード部10aは、MPEGシステムレイヤ・デコーダ8から入力されたビデオPESから、画像毎のDTSを抽出する。MPEGビデオ・デコード部10aは、STC回路9の計数値を読み取り、STC回路9の計数値が示す時刻と、ビデオPESから抽出したDTSが示す時刻とが一致した時に、該当する画像のデコードを開始する。VCX012aから出力される27MHzクロック信号を再生速度にしたがってスロー・デコード制御部12bで分周して得られるクロック信号が、MPEGビデオ・デコード部10aに入力され、MPEGビデオ・デコード部10aは入力されたクロック信号に同

期してデコード処理を行う。MPEGビデオ・デコード部10aは、デコードした画像データをローカル・メモリ17に格納する。さらに、MPEGビデオ・デコード部10aは、表示時刻判定部11aから表示開始命令が入力されると、ローカル・メモリ17から画像データを読み込み、画像データをフレームバッファ19へ出力する。

【0061】フレームバッファ19は、MPEGビデオ・デコード部10aから入力された画像データを蓄積するとともに、切り替えスイッチ13から表示開始命令が入力される毎に、蓄積した画像データのビデオ・エンコーダ18への出力を開始する。

【0062】図3は、出力される各種の画像データのタイミングを互いに比較して示すタイミングチャートである。画像(a)は、通常再生時に、MPEGビデオ・デコード部10aが、フレームバッファ19へ出力する画像データの例を示している。MPEGビデオ・デコード部10aは、フレームバッファ19に、I0、B0、B1、B2、P0、・・・ピクチャの順で画像データを出力する。

【0063】画像(b)は、フレームバッファ19が画像(a)で表される画像データを受信した場合に、フレームバッファ19がビデオ・エンコーダ18へ出力する画像データを示している。時刻T500において、MPEGビデオ・デコード部10aに表示開始命令が入力されると、MPEGビデオ・デコード部10aはデコードしたI0ピクチャの画像データの出力を開始し、フレームバッファ19でI0ピクチャの画像データが蓄積される。つぎにMPEGビデオ・デコード部10aに表示開始命令が入力される時刻T501では、MPEGビデオ・デコード部10aはフレームバッファ19へデコードしたB0ピクチャの画像データの出力を開始し、フレームバッファ19は蓄積していたI0ピクチャの画像データのビデオ・エンコーダ18への出力を開始する。このように、通常再生時には、MPEGビデオ・デコード部10aが出力を開始する時刻からフレーム周期だけ遅れて、フレームバッファ19は画像データのビデオ・エンコーダ18への出力を開始する。

【0064】画像(c)は、整数分の一倍速のスロー再生の例として、1/2倍速スロー再生時に、MPEGビデオ・デコード部10aが、フレームバッファ19へ出力する画像データの例を示している。MPEGビデオ・デコード部10aは、フレームバッファ19に、I0、B0、B1、B2、P0、・・・ピクチャの順で画像データを出力するが、MPEGビデオ・デコード部10aへ入力されるクロック信号は、通常再生時の1/2倍の周波数であるので、MPEGビデオ・デコード部10aが画像データの出力に要する時間は、通常再生時の2倍となる。

【0065】画像(d)は、フレームバッファ19が画像(c)で表される画像データを入力された場合に、フレームバッファ19がビデオ・エンコーダ18へ出力す

る画像データを示している。1/2倍速のスロー再生時には、スローデコード用表示時刻判定部16aはフレーム周期毎に表示開始命令を切り替えスイッチ13へ出力し、さらに表示開始命令は切り替えスイッチ13を経由してフレームバッファ19へ入力される。時刻T510では、MPEGビデオ・デコード部10aに表示開始命令が入力されると、MPEGビデオ・デコード部10aはデコードしたI0ピクチャの画像データの出力を開始し、フレームバッファ19にI0ピクチャの画像データが蓄積される。時刻T510からフレーム周期時間だけ経過した時刻T511では、フレームバッファ19に表示開始命令が入力され、フレームバッファ19はI0ピクチャの画像データのビデオ・エンコーダ18への出力を開始する。つぎにMPEGビデオ・デコード部10aに表示開始命令が入力される時刻T512では、MPEGビデオ・デコード部10aはフレームバッファ19へB0ピクチャの画像データの出力を開始し、フレームバッファ19はビデオ・エンコーダ18へ再びI0ピクチャの画像データの出力を開始する。時刻T513では、フレームバッファ19に表示開始命令が入力され、フレームバッファ19はB0ピクチャの画像データのビデオ・エンコーダ18への出力を開始する。

【0066】画像(e)は、整数分の一倍速ではないスロー再生の一例としての1/2.5倍速スロー再生時に、MPEGビデオ・デコード部10aが、フレームバッファ19へ出力する画像データの例を示している。MPEGビデオ・デコード部10aは、フレームバッファ19に、I0、B0、B1、B2、P0、・・・ピクチャの順で画像データを出力するが、MPEGビデオ・デコード部10aへ入力されるクロック信号は通常再生時の1/2.5倍の周波数であるので、MPEGビデオ・デコード部10aが画像データの出力に要する時間は、通常再生時の2.5倍となる。

【0067】画像(f)は、フレームバッファ19が画像(e)で表される画像データを受信した場合に、フレームバッファ19がビデオ・エンコーダ18へ出力する画像データを示している。1/2.5倍速のスロー再生時には、スロー・デコード用表示時刻判定部16aがフレーム周期毎に表示開始命令を切り替えスイッチ13へ出力し、切り替えスイッチ13を経由してフレームバッファ19へ表示開始命令が入力される。

【0068】時刻T520において、MPEGビデオ・デコード部10aに表示開始命令が入力されると、MPEGビデオ・デコード部10aはデコードしたI0ピクチャの画像データの出力を開始し、フレームバッファ19にI0ピクチャの画像データが蓄積される。時刻T520からフレーム周期時間だけ経過した時刻T521、および時刻T521からフレーム周期時間だけ経過した時刻T522では、フレームバッファ19に表示開始命令が入力され、フレームバッファ19は格納している画像データ

のビデオ・エンコーダ18への出力を開始する。

【0069】つぎにMPEGビデオ・デコード部10aに表示開始命令が入力される時刻T523では、MPEGビデオ・デコード部10aはフレームバッファ19へB0ピクチャの画像データの出力を開始する。さらに、時刻T522からフレーム周期時間だけ経過した時刻T524、および時刻T524からフレーム周期時間だけ経過した時刻T525では、フレームバッファ19に表示開始命令が入力され、フレームバッファ19は格納している画像データのビデオ・エンコーダ18への出力を開始する。

【0070】ここで、MPEGビデオ・デコード部10aは、I0ピクチャの画像データの出力を時刻T520から開始し、時刻T523までに完了するが、一方で、フレームバッファ19は、時刻T523よりも早い時刻T522までにI0'ピクチャの画像データの出力を完了する。したがって、I0'ピクチャの画像データを出力するためにフレームバッファ19から画像データを読み込む以前に、MPEGビデオ・デコード部10aによって、フレームバッファ19に書き込まれたI0ピクチャの画像データの一部分のみが、I0'ピクチャの画像データとして出力される。したがって、I0'ピクチャの画像データは、画面内の上部においてのみI0ピクチャの画像データと同一となる。

【0071】同様に、MPEGビデオ・デコード部10aは、B0ピクチャの画像データの出力を時刻T523から開始し、時刻T526までに完了するが、一方で、フレームバッファ19は、時刻T526よりも早い時刻T525までにB0'ピクチャの画像データの出力を完了する。したがって、B0'ピクチャの画像データを出力するためにフレームバッファ19から画像データを読み込む以前に、MPEGビデオ・デコード部10aによって、フレームバッファ19に書き込まれたB0'ピクチャの画像データの一部分と、MPEGビデオ・デコード部10aによるB0ピクチャの画像データの書き込みによって、まだ上書きされていないI0ピクチャの画像データの一部分が、B0'ピクチャの画像データとして出力される。したがって、B0'ピクチャの画像データは、画面内の上部においてのみB0ピクチャの画像データと同一であり、下部においてはI0ピクチャの画像データと同一となる。

【0072】以上のように、スロー再生時には、最初にMPEGビデオ・デコード部10aが出力を開始する時刻からフレーム周期だけ遅れて、フレーム周期毎に、フレームバッファ19に格納されている画像データのビデオ・エンコーダ18への出力が開始される。ビデオ・エンコーダ18は、フレームバッファ19から出力されるデジタル・ビデオ信号である画像データを、市販のTVモニタに表示可能なNTSC映像信号へ変換する。通常再生時においても、スロー再生時においても、ビデオ・エン

コーダ18にはフレームバッファ19から適正なフレーム周期毎に画像データが入力されるので、ビデオ・エンコーダ18は入力された画像データを適正なNTSC映像信号に変換し、変換したNTSC映像信号を出力することが可能である。

【0073】実施の形態2. 図4は本発明の実施の形態2によるMPEGデコーダを含むMPEGデータ再生装置のブロック図である。図4のMPEGデータ再生装置102は、MPEGデコーダ112を備えており、MPEGビデオ・デコード部10aへ入力信号を伝える信号線の一部に関して、図1に示したMPEGデータ再生装置101とは特徴的に異なっている。

【0074】MPEGデータ再生装置102において、MPEGビデオ・デコード部10aは、MPEGシステムレイヤ・デコーダ8から入力されたビデオPESから、画像毎のDTSを抽出する。MPEGビデオ・デコード部10aは、STC回路9の計数値を読み取り、STC回路の計数値が示す時刻と、ビデオPESから抽出されたDTSが示す時刻とが一致した時に、該当する画像のデコードを開始する。MPEGデータ再生装置102においては、MPEGビデオ・デコード部10aは、VCX012aより入力される27MHzクロック信号に同期してデコード動作を行う。MPEGビデオ・デコード部10aは、デコードした画像データをローカル・メモリ17へ格納する。MPEGビデオ・デコード部10aはさらに、切り替えスイッチ13から表示開始命令が入力されると、ローカル・メモリ17から画像データを読み込み、読み込んだ画像データをフレームバッファ19へ出力する。フレームバッファ19は、MPEGビデオ・デコード部10aから入力された画像データを蓄積し、切り替えスイッチ13から表示開始命令が入力される毎に、蓄積した画像データのビデオ・エンコーダ18への出力を開始する。

【0075】図5は、出力される各種の画像データのタイミングを互いに比較して示すタイミングチャートである。画像(a)は、通常再生時に、MPEGビデオ・デコード部10aが、フレームバッファ19へ出力する画像データの例を示している。MPEGビデオ・デコード部10aは、フレームバッファ19に、I0、B0、B1、B2、P0、・・・ピクチャの順で画像データを出力する。

【0076】画像(b)は、フレームバッファ19が画像(a)で表される画像データを受信した場合に、フレームバッファ19がビデオ・エンコーダ18へ出力する画像データを示している。時刻T700において、MPEGビデオ・デコード部10aに表示開始命令が入力されると、MPEGビデオ・デコード部10aはデコードしたI0ピクチャの画像データの出力を開始し、フレームバッファ19にI0ピクチャの画像データが蓄積される。つぎにMPEGビデオ・デコード部10aに表示開始命令が入力される時刻T701では、MPEGビデオ・デコード部10

aはフレームバッファ19へデコードしたB0ピクチャの画像データの出力を開始し、フレームバッファ19は蓄積していたI0ピクチャの画像データのビデオ・エンコーダ18への出力を開始する。このように、通常再生時には、MPEGビデオ・デコード部10aが出力を開始する時刻からフレーム周期だけ遅れて、フレームバッファ19は画像データのビデオ・エンコーダ18への出力を開始する。

【0077】画像(c)は、整数分の一倍速のスロー再生の例としての1/2倍速スロー再生時に、MPEGビデオ・デコード部10aが、フレームバッファ19へ出力する画像データの例を示している。MPEGビデオ・デコード部10aは、フレームバッファ19に、I0、B0、B1、B2、P0、・・・ピクチャの順で画像データを出力する。MPEGビデオ・デコード部10aへ入力されるクロック信号の周波数は通常再生時と同じであるので、MPEGビデオ・デコード部10aが画像データの出力に要する時間は、通常再生時と同じである。

【0078】画像(d)は、フレームバッファ19が画像(c)で表される画像データを受信した場合に、フレームバッファ19がビデオ・エンコーダ18へ出力する画像データを示している。1/2倍速のスロー再生時には、スロー・デコード用表示時刻判定部16aはフレーム周期毎に表示開始命令を切り替えスイッチ13へ出力し、さらに表示開始命令は切り替えスイッチ13を経由してフレームバッファ19へ入力される。時刻T710において、MPEGビデオ・デコード部10aに表示開始命令が入力されると、MPEGビデオ・デコード部10aはデコードしたI0ピクチャの画像データの出力を開始し、フレームバッファ19にI0ピクチャの画像データが蓄積される。時刻T710からフレーム周期時間だけ経過した時刻T711では、フレームバッファ19に表示開始命令が入力され、フレームバッファ19はI0ピクチャの画像データのビデオ・エンコーダ18への出力を開始する。つぎにMPEGビデオ・デコード部10aに表示開始命令が入力される時刻T712では、MPEGビデオ・デコード部10aはフレームバッファ19へB0ピクチャの画像データの出力を開始し、フレームバッファ19はビデオ・エンコーダ18へ再びI0ピクチャの画像データの出力を開始する。時刻T713では、フレームバッファ19に表示開始命令が入力され、フレームバッファ19はB0ピクチャの画像データのビデオ・エンコーダ18への出力を開始する。

【0079】画像(e)は、整数分の一倍速ではないスロー再生の例として、1/2.5倍速スロー再生時に、MPEGビデオ・デコード部10aが、フレームバッファ19へ出力する画像データの例を示している。MPEGビデオ・デコード部10aは、フレームバッファ19に、I0、B0、B1、B2、P0、・・・ピクチャの順で画像データを出力する。MPEGビデオ・デコード部10aへ

入力されるクロック信号の周波数は通常再生時と同じであるので、MPEGビデオ・デコード部10aが画像データの出力に要する時間は、通常再生時と同じである。

【0080】画像(f)は、フレームバッファ19が画像(e)で表される画像データを受信した場合に、フレームバッファ19がビデオ・エンコーダ18へ出力する画像データを示している。1/2.5倍速のスロー再生時には、スロー・デコード用表示時刻判定部16aがフレーム周期毎に表示開始命令を切り替えスイッチ13へ出力し、切り替えスイッチ13を経由してフレームバッファ19へ表示開始命令が入力される。時刻T720において、MPEGビデオ・デコード部10aに表示開始命令が入力されると、MPEGビデオ・デコード部10aはデコードしたI0ピクチャの画像データの出力を開始し、フレームバッファ19にI0ピクチャの画像データが蓄積される。時刻T720からフレーム周期時間だけ経過した時刻T721、および時刻T721からフレーム周期時間だけ経過した時刻T722では、フレームバッファ19に表示開始命令が入力され、フレームバッファ19は格納している画像データのビデオ・エンコーダ18への出力を開始する。つぎにMPEGビデオ・デコード部10aに表示開始命令が入力される時刻T723では、MPEGビデオ・デコード部10aはフレームバッファ19へB0ピクチャの画像データの出力を開始する。さらに、時刻T722からフレーム周期時間だけ経過した時刻T724、および時刻T724からフレーム周期時間だけ経過した時刻T725では、フレームバッファ19に表示開始命令が入力され、フレームバッファ19は格納している画像データのビデオ・エンコーダ18への出力を開始する。

【0081】以上のように、スロー再生時には、最初にMPEGビデオ・デコード部10aが出力を開始する時刻からフレーム周期だけ遅れて、フレーム周期毎に、フレームバッファ19に格納されている画像データのビデオ・エンコーダ18への出力が開始される。ビデオ・エンコーダ18は、フレームバッファ19から入力されるデジタル・ビデオ信号である画像データをNTSC映像信号へ変換する。通常再生時においても、スロー再生時においても、ビデオ・エンコーダ18にはフレームバッファ19から適正なフレーム周期毎に画像データが入力されるので、ビデオ・エンコーダ18は入力された画像データを適正なNTSC映像信号に変換し、変換したNTSC映像信号を出力することが可能である。

【0082】実施の形態3。図6は本発明の実施の形態3によるMPEGデコーダを含むMPEGデータ再生装置のブロック図である。図6のMPEGデータ再生装置103は、MPEGデコーダ113を備えており、MPEGビデオ・デコード部10aに代えてMPEGビデオ・デコード部10bを備え、表示時刻判定部11aに代えて表示時刻判定部11bを備え、スロー・デコード用表示時刻判定部16aに

代えてスロー・デコード用表示時刻判定部16bを備え、さらに、画像データ出力部32およびリファレンスフレーム33を備えている点において、図1に示したMP EGデータ再生装置101とは特徴的に異なっている。

【0083】表示時刻判定部11bは、デコード後のデータ出力（表示）タイミングを示すPTS（Presentation Time Stamp）をMPEG画像データから読み取り、PCRに基づいて計数を行っているSTC回路9の計数値とPTSとの比較を行い、STC回路9の計数値がPTSに対して所定の近傍値まで到達した時に、デコードデータの出力（表示）を開始するための制御信号を、MPEGビデオ・デコード部10b、およびスロー・デコード用表示時刻判定部16bへ付与する。

【0084】スロー・デコード用表示時刻判定部16bは、表示時刻判定部11bからの表示制御信号と、フレームレート判定部15からのフレーム周波数情報、およびVCX012aからの基準クロックにもとづいて、スロー再生時の表示制御信号を生成する。MPEGビデオ・デコード部10bは、MPEG画像データのデコード処理を行う。リファレンスフレーム33は、MPEGビデオデコード部10bがデコードを行う際に画像データを展開し、かつ参照するためのメモリである。画像データ出力部32は、表示時刻判定部11bとスロー・デコード用表示時刻判定部16bが生成する表示制御信号に従って、リファレンスフレーム33に格納されている画像データを出力する。

【0085】以上のように構成されるMPEGデータ再生装置103は、以下のように動作する。エラー訂正部6から出力されるエラー訂正後の信号は、MPEG-TS形式のデータ・ストリームであり、MPEG規格に基づいて圧縮処理された画像データ（ビデオ・データ）、音声データ（オーディオ・データ）、およびこれらに関する付加情報が、パケット化された形式で時分割多重化されている。MPEG-TS形式のデータストリームは、MPEGシステムレイヤ・デコーダ8へ入力され、画像データのパケットのみを選択して得られるビデオPESとPCRとが抽出される。MPEGシステムレイヤ・デコーダ8は、MPEGビデオデコード部10b、表示時刻判定部11b、およびフレームレート判定部15へビデオPESを伝え、STC回路9へPCRを伝える。

【0086】MPEGビデオデコード部10bは、MPEGシステムレイヤ・デコーダ8から入力されたビデオPESから、画像毎のDTSを抽出する。MPEGビデオデコード部10bは、STC回路9の計数値を読み取り、STC回路9の計数値が示す時刻と、ビデオPESから抽出したDTSが示す時刻とが一致した時に、該当する画像のデコードを開始する。MPEGビデオ・デコード部10bには、VCX012aから出力される27MHzクロック信号を再生速度にしたがってスロー・デコード制御部12bで分周したクロック信号が入力され、MPEGビデオ・デコ

ード部10bは、入力されたクロック信号に基づいてデコード処理を行う。MPEGビデオ・デコード部10bは、さらにデコードした画像データをリファレンスフレーム33へ格納する。

【0087】表示時刻判定部11bは、MPEGシステムレイヤ・デコーダ8から入力されるビデオPESから、表示タイミングを示すPTSを抽出する。表示時刻判定部11bはさらに、STC回路9を監視し、PTSが示す時刻とSTCが示す時刻とが一致しないしある一定の近傍範囲に到達した場合に、画像データ出力部32に画像の表示を開始させる次画像表示開始命令を、切り替えスイッチ13へ出力する。なお次画像表示開始命令とは、直前に表示した画像とは異なる、直前に表示した画像のつぎに表示される画像の表示を開始させる命令である。

【0088】フレームレート判定部15は、MPEGシステムレイヤ・デコーダ8から入力されるビデオPESから、画像のフレーム周期を表現するフレームレート情報を抽出し、フレームレート情報をスロー・デコード用表示時刻判定部16bへ出力する。スロー・デコード用表示時刻判定部16bは、フレームレート判定部15から入力されたフレームレート情報から、画像のフレーム周期を得ることができる。またスロー・デコード用表示時刻判定部16bは、表示時刻判定部11bから入力された最初の次画像表示開始命令の到着時刻を起点とし、フレーム周期毎に反復表示開始命令を生成し、切り替えスイッチ13へ出力する。ただし、スロー・デコード用表示時刻判定部16bは、表示時刻判定部11bから次画像表示開始命令が入力された時、もしくはその直後の反復表示開始命令が出力される時刻には、反復表示開始命令の出力に代わって、次画像表示開始命令を出力する。なお、反復表示開始命令とは、直前に表示した画像と同じ画像の表示を開始させる命令である。また、フレーム周期の生成には、VCX012aから入力された分周されていないクロック信号が使用される。

【0089】スロー再生制御部14は、通常再生時には、表示時刻判定部11bが出力する表示開始命令が画像データ出力部32へ入力されるように、切り替えスイッチ13を制御し、スロー再生時には、スロー・デコード用表示時刻判定部16bが出力する次画像表示開始命令もしくは反復表示開始命令が画像データ出力部32へ入力されるように、切り替えスイッチ13を制御する。

【0090】図7は、表示時刻判定部11bとスロー・デコード用表示時刻判定部16bとが出力する次画像表示開始命令もしくは反復表示開始命令が、切り替えスイッチ13を経由して、画像データ出力部32へ入力されるタイミングを示すタイミングチャートである。タイミングチャート（a）は、通常再生時の画像データ出力部32に次画像表示開始命令が入力されるタイミングを示しており、タイミングチャート（b）はスロー・デコードの一例としての1/2.5倍速再生時に表示時刻判定

部11bが次画像表示開始命令を出力するタイミングを示しており、タイミングチャート(c)は1/2.5倍速時にスロー・デコード用表示時刻判定部16bが次画像表示開始命令もしくは反復表示開始命令を出力するタイミングを示している。

【0091】図7は、これら3通りのタイミングを、互いに比較可能なように1つの図面に表示している。また、タイミングチャート(a)に描かれる各時刻での動作は、図8に表形式で表されている。同様に、タイミングチャート(c)に描かれる各時刻での動作は、図9に表形式で表されている。

【0092】通常再生時には、スロー再生制御部14は、表示時刻判定部11bが出力した次画像表示開始命令が切り替えスイッチ13を経由して画像データ出力部32へ入力されるように、切り替えスイッチ13を制御する。タイミングチャート(a)における時刻T901は、表示時刻判定部11bが、最初に表示される画像のPTSであるPTS1と、STC回路9の計数値とが一致したことを検出した時刻を示しており、この時刻において、次画像表示開始命令が切り替えスイッチ13へ出力され、切り替えスイッチ13を経由して、画像データ出力部32へ入力される。同様にタイミングチャート(a)における時刻T902は、表示時刻判定部11bが、つぎに表示される画像のPTSであるPTS2と、STC回路9の計数値とが一致したことを検出した時刻であり、この時刻において、次画像表示開始命令が切り替えスイッチ13へ出力され、切り替えスイッチ13を経由して、画像データ出力部32へ入力される。このように、通常再生時には、ビデオPESから抽出されたPTSと、STC回路9の計数値とが一致した時刻に、画像データ出力部32に次画像表示開始命令が入力される。

【0093】つぎに、スロー再生時に表示時刻判定部11bが次画像表示開始命令を出力するタイミングについて説明する。タイミングチャート(b)は、整数分の1倍速でないスロー再生の例として、1/2.5倍速スロー再生時に表示時刻判定部11bが次画像表示開始命令を出力するタイミングを示している。タイミングチャート(b)の時刻T911は、最初に表示される画像のPTSであるPTS1と、STC回路9の計数値とが一致したことを検出した時刻であり、時刻T912は、つぎに表示される画像のPTSであるPTS2と、STC回路9の計数値とが一致したことを検出した時刻である。1/2.5倍速再生時には、STC回路9へ入力されるクロック信号の周波数は、通常再生時の1/2.5倍に低下する。従って、通常再生時の時刻T901と時刻T902の間隔に比べて、1/2.5倍速スロー再生時の時刻T911と時刻T912の間隔は、2.5倍に拡大する。

【0094】スロー再生時においても、MPEGデータ再生

装置103から出力された画像データが、外部モニターで正しく表示されるためには、画像データ出力部32から適正なフレーム周期で画像データが出力されなければならない。適正なフレーム周期は、フレームレート判定部15から得られる。

【0095】そこで、スロー・デコード用表示時刻判定部16bは、表示時刻判定部11bから表示開始命令を初めて入力された時刻を基準として、フレーム周期毎に次画像表示開始命令もしくは反復表示開始命令を出力する。スロー再生時には、スロー再生制御部14は、スロー・デコード用表示時刻判定部16bが出力した次画像表示開始命令もしくは反復表示開始命令が画像データ出力部32へ入力されるように、切り替えスイッチ13を制御する。これにより、整数分の1倍速でないスロー再生時にも、画像データ出力部32に、適正なフレーム周期で、表示開始命令が入力される。

【0096】タイミングチャート(c)は、1/2.5倍速スロー再生時に、スロー・デコード用表示時刻判定部16bが次画像表示開始命令もしくは反復表示開始命令を出力するタイミングを示している。時刻T921、T922、T923、T924、T925、T926は、スロー・デコード用表示時刻判定部16bが次画像表示開始命令もしくは反復表示開始命令を出力するタイミングである。時刻T921は、スロー・デコード用表示時刻判定部16bが、表示時刻判定部11bから初めて次画像表示開始命令を入力された時刻である。時刻T922は、時刻T921からフレーム周期だけ経過した時間であり、時刻T923は、時刻T922からフレーム周期だけ経過した時刻である。スロー・デコード用表示時刻判定部16bは、時刻T921を基準として、時刻T922、T923、…のように、フレーム周期毎に次画像表示開始命令もしくは反復表示開始命令を出力する。このとき、フレーム周期はスロー再生の倍速値に関係なくVCX012の分周されていない27MHzクロック信号にもとづいて生成される。

【0097】図8が示すように、時刻T921およびT926では、スロー・デコード用表示時刻判定部16bは、表示時刻判定部11bから次画像表示開始命令を受信するので、次画像表示開始命令を出力する。また時刻T924でも、直前に表示時刻判定部11bから次画像表示開始命令を受信しているので、次画像表示開始命令を出力する。一方、時刻T922、T923、T925では、スロー・デコード用表示時刻判定部16bは、反復表示開始命令を出力する。

【0098】MPEGビデオデコード部10bは、MPEGシステムレイヤ・デコーダ8から入力されたビデオPESから、画像毎のDTSを抽出する。MPEGビデオデコード部10bは、STC回路9の計数値を読み取り、STC回路の計数値が示す時刻と、ビデオPESから抽出したDTSが示す時刻とが一致した時に、該当する画像のデコ

ードを開始する。VCX012aから出力される27MHzクロック信号を再生速度にしたがってスロー・デコード制御部12bで分周して得られるクロック信号がMPEGビデオデコード部10bへ入力され、MPEGビデオデコード部10bは、入力されたクロック信号にもとづいてデコード処理を行う。MPEGビデオデコード部10bは、デコードした画像データをリファレンスフレーム33に格納する。

【0099】図10は、入力あるいは出力される各種の画像データのタイミングを互いに比較して示すタイミングチャートである。画像(a)は、通常再生時に、MPEGビデオデコード部10bが、MPEGシステムレイヤデコーダ8から受信する画像データの例を示している。MPEGビデオデコード部10bには、I0、P0、B0、B1、B2、P1、・・・ピクチャの順、すなわち出力順で画像データが入力される。時刻T1001は、I0ピクチャの画像データのDTSとSTC回路の計数値とが一致した時刻であり、MPEGビデオデコード部がI0ピクチャの画像データのデコードを開始する時刻である。また時刻T1002は、P0ピクチャの画像データのDTSとSTC回路の計数値とが一致した時刻であり、MPEGビデオデコード部がP0ピクチャの画像データのデコードを開始する時刻である。

【0100】同様に、時刻T1003はB0ピクチャのデコード、時刻T1004はB1ピクチャのデコード、時刻T1005はB2ピクチャのデコード、時刻T1006はP1ピクチャのデコード、時刻T1007はB3ピクチャのデコードが、それぞれ開始される時刻である。MPEGビデオデコード部10bは、画像データをデコードした後、デコードした画像データをリファレンスフレーム33へ出力する。また、MPEGビデオデコード部10bは、PピクチャおよびBピクチャのデコードを行う際には、リファレンスフレーム33に格納されているIピクチャおよびPピクチャを参照する。

【0101】画像(b)は、通常再生時において、画像(a)で現れる画像データがMPEGビデオデコード部10bへ入力された場合に、画像データ出力部32がビデオ・エンコーダ18へ出力する画像データの例を示している。この例では、画像データ出力部32は、I0、B0、B1、B2、P0、・・・ピクチャの順、すなわち表示順に画像データをビデオ・エンコーダ18へ出力する。

【0102】時刻T1011において、画像データ出力部32へ次画像表示開始命令が入力されると、画像データ出力部32はリファレンスフレーム33からI0ピクチャの画像データを読み込み、この画像データをビデオ・エンコーダ18へ出力する。つぎに画像データ出力部32へ次画像表示開始命令が入力される時刻T1012では、画像データ出力部32は、リファレンスフレーム33からB0ピクチャの画像データを読み込み、この画

像データをビデオ・エンコーダ18へ出力する。このように、通常再生時には、画像データ出力部32は、表示時刻判定部11bからの次画像表示開始命令を受信した時に、リファレンスフレーム33からつぎの画像データを読み込み、この画像データをビデオ・エンコーダ18へ出力する。

【0103】画像(c)は、スロー再生の例としての1/2.5倍速スロー再生の時に、MPEGビデオデコード部10bが、MPEGシステムレイヤデコーダ8から受信する画像データの例を示している。MPEGビデオデコード部10bには、I0、P0、B0、B1、・・・ピクチャの順で画像データが入力される。時刻T1021は、画像I0のDTSとSTC回路9の計数値とが一致した時刻であり、MPEGビデオデコード部10bがI0ピクチャのデコードを開始する時刻である。また時刻T1022は、画像P0のDTSとSTC回路9の計数値とが一致した時刻であり、MPEGビデオデコード部10bがP0ピクチャのデコードを開始する時刻である。同様に、時刻T1023はB0ピクチャのデコードが開始される時刻である。

【0104】MPEGビデオデコード部10bは、画像データをデコードした後、デコードした画像データをリファレンスフレーム33へ出力する。なお、MPEGビデオデコード部10bは、VCX012aの出力クロック信号を再生速度に基づいてスロー・デコード制御部12bで分周したクロック信号にしたがって動作するので、1/2.5倍速スロー再生時のデコード時間として、通常再生時での2.5倍の時間を要する。また、MPEGビデオデコード部10bは、PピクチャおよびBピクチャのデコードを行う際には、リファレンスフレーム33に格納されているIピクチャおよびPピクチャを参照する。

【0105】画像(d)は、スロー再生の例として、画像(a)で表された画像データがMPEGシステムレイヤデコーダ8へ入力された場合に、画像データ出力部32が、ビデオ・エンコーダ18へ出力する画像データの例を示している。この例では、画像データ出力部32は、I0、B0、・・・ピクチャの順で画像データをビデオ・エンコーダ18へ出力する。

【0106】画像データ出力部32は、フレーム周期毎にスロー・デコード用表示時刻判定部16bから次画像表示開始命令もしくは反復表示開始命令が入力された時に、リファレンスフレーム33から画像データを読み込み、読み込んだ画像データをビデオ・エンコーダ18へ出力する。時刻T1031において、画像データ出力部32へ次画像表示開始命令が入力されると、画像データ出力部32はリファレンスフレーム33からI0ピクチャの画像データを読み込み、該画像データをビデオ・エンコーダ18へ出力する。

【0107】時刻T1032および時刻T1033において、画像データ出力部32に反復表示開始命令が入力

されると、画像データ出力部32はリファレンスフレーム33から再びI0ピクチャの画像データを読み込み、読み込んだ画像データをビデオ・エンコーダ18へ出力する。時刻T1034では、スロー・デコード用表示時刻判定部16bが表示時刻判定部11bからの次画像表示開始命令を受け取り、スロー・デコード用表示時刻判定部16bは、時刻T1034の直後の表示開始命令の出力時刻である時刻T1035において、反復表示開始命令ではなく、次画像表示開始命令を画像データ出力部32へ出力する。

【0108】時刻T1035において、画像データ出力部32に次画像表示開始命令が入力されると、画像データ出力部32はリファレンスフレーム33から、直前の表示開始時刻である時刻T1033に表示開始したI0ピクチャのつぎに表示すべきB0ピクチャの画像データを読み込み、読み込んだ画像データをビデオ・エンコーダ18へ出力する。時刻T1036において、画像データ出力部32へ反復表示開始命令が入力されると、画像データ出力部32はリファレンスフレーム33から再びB0ピクチャの画像データを読み込み、読み込んだ画像データをビデオ・エンコーダ18へ出力する。

【0109】以上のように、スロー再生時においても、画像データ出力部32には、フレーム周期毎に次画像表示開始命令もしくは反復表示開始命令が入力され、リファレンスフレーム33に格納されている画像データが、ビデオ・エンコーダ18へ出力される。ビデオ・エンコーダ18は、画像データ出力部32から入力されるデジタル・ビデオ信号である画像データをNTSC映像信号へ変換する。通常再生時においても、スロー再生時においても、ビデオ・エンコーダ18には画像データ出力部32から適正なフレーム周期毎に画像データが入力されるので、ビデオ・エンコーダ18は入力された画像データを適正なNTSC映像信号へ変換し、変換したNTSC映像信号を出力することが可能である。

【0110】実施の形態4。図11は本発明の実施の形態4によるMPEGデコーダを含むMPEGデータ再生装置のブロック図である。図11のMPEGデータ再生装置104は、MPEGデコーダ114を備えており、MPEGビデオ・デコード部10bへ入力信号を伝える信号線の一部に関して、図6に示したMPEGデータ再生装置103とは特徴的に異なっている。MPEGデータ再生装置104では、VCX012から出力される27MHzクロック信号は、再生速度に関わらずスロー・デコード制御部12bで分周されることなく、MPEGビデオデコード部10bへと入力される。

【0111】表示時刻判定部11bは、デコード後のデータ出力（表示）タイミングを示すPTSをMPEGビデオデータから読み取り、PCRに基づいてカウント動作を行っているSTC回路9の計数値とPTSとの比較を行い、STC回路9の計数値がPTS値に対して所定の近

傍値まで到達した時に、デコードデータの出力（表示）を開始するための制御信号をMPEGビデオ・デコード部10b、およびスロー・デコード用表示時刻判定部16bへ付与する。

【0112】フレームレート判定部15は、表示時のフレーム周波数を表現する情報であってMPEG画像データの中に存在するフレーム周波数情報を読み出し、スロー・デコード用表示時刻判定部16bへ出力する。スロー・デコード用表示時刻判定部16bは、表示時刻判定部11bからの表示制御信号と、フレームレート判定部15からのフレーム周波数情報、およびVCX012からの基準クロックにもとづいて、スロー再生時の表示制御信号を生成する。

【0113】図5は、入力あるいは出力される各種の画像データのタイミングを互いに比較して示すタイミングチャートである。画像(a)は、通常再生時に、MPEGビデオデコード部10bが、MPEGシステムレイヤデコーダ8から受信する画像データの例を示している。MPEGビデオデコード部10bには、I0、P0、B0、B1、B2、P0、・・・ピクチャの順序で画像データが入力される。時刻T1201は、画像I0のDTSとSTC回路9の計数値とが一致した時刻であり、MPEGビデオデコード部がI0ピクチャのデコードを開始する時刻である。また時刻T1202は、P0ピクチャのDTSとSTC回路9の計数値とが一致した時刻であり、MPEGビデオデコード部がP0ピクチャのデコードを開始する時刻である。

【0114】同様に、時刻T1203はB0ピクチャのデコード、時刻T1204はB1ピクチャのデコード、時刻T1205はB2ピクチャのデコード、時刻T1206はP1ピクチャのデコード、時刻T1207はB3ピクチャのデコードが、それぞれ開始される時刻である。MPEGビデオデコード部10bは、画像データをデコードした後、デコードした画像データをリファレンスフレーム33へ出力する。またMPEGビデオデコード部10bは、PピクチャおよびBピクチャのデコードの際には、リファレンスフレーム33に格納されているIピクチャおよびPピクチャを参照する。

【0115】画像(b)は、通常再生時に、画像(a)で表された画像データがMPEGシステムレイヤデコーダ8へ入力された場合に、画像データ出力部32が、ビデオ・エンコーダ18へ出力する画像データの例を示している。この例では、画像データ出力部32は、I0、B0、B1、B2、P0、・・・ピクチャの順序で画像データをビデオ・エンコーダ18へ出力する。

【0116】時刻T1211において、画像データ出力部32へ次画像表示開始命令が入力されると、画像データ出力部32はリファレンスフレーム33からI0ピクチャの画像データを読み込み、この画像データをビデオ・エンコーダ18へ出力する。つぎに画像データ出力部

32へ次画像表示開始命令が入力される時刻T1212では、画像データ出力部32は、リファレンスフレーム33からB0ピクチャの画像データを読み込み、この画像データをビデオ・エンコーダ18へ出力する。このように、通常再生時には、画像データ出力部32は、表示時刻判定部11bからの次画像表示開始命令が入力された時に、リファレンスフレーム33からつぎの画像データを読み込み、この画像データをビデオ・エンコーダ18へ出力する。

【0117】画像(c)は、スロー再生の例としての1/2.5倍速スロー再生の時に、MPEGビデオデコード部10bが、MPEGシステムレイヤデコーダ8から受信する画像データの例を示している。MPEGビデオデコード部10bには、I0、P0、B0、B1、・・・ピクチャの順序で画像データが入力される。時刻T1221は、I0ピクチャのDTSとSTC回路9の計数値とが一致した時刻であり、MPEGビデオデコード部がI0ピクチャのデコードを開始する時刻である。また時刻T1022は、P0ピクチャのDTSとSTC回路9の計数値とが一致した時刻であり、MPEGビデオデコード部がP0ピクチャのデコードを開始する時刻である。同様に、時刻T1223はB0ピクチャのデコードを開始する時刻である。

【0118】MPEGビデオデコード部10bは、画像をデコードした後、デコードした画像データをリファレンスフレーム33へ出力する。なお、MPEGビデオデコード部10bは、VCX012が出力する27MHzクロック信号で動作するので、1/2.5倍速スロー再生時の1画像当たりのデコード時間として、通常再生時と同じ時間を要する。またMPEGビデオデコード部10bは、PピクチャおよびBピクチャのデコードの際には、リファレンスフレーム33に格納されているIピクチャおよびPピクチャを参照する。

【0119】画像(d)は、スロー再生の例として、画像(a)で表された画像データがMPEGシステムレイヤデコーダ8へ入力された場合に、画像データ出力部32が、ビデオ・エンコーダ18へ出力する画像データの例を示している。この例では、画像データ出力部32は、I0、B0、・・・ピクチャの順序で画像データをビデオ・エンコーダ18へ出力する。

【0120】画像データ出力部32は、フレーム周期毎にスロー・デコード用表示時刻判定部16bから次画像表示開始命令もしくは反復表示開始命令が入力された時に、リファレンスフレーム33から画像データを読み込み、読み込んだ画像データをビデオ・エンコーダ18へ出力する。時刻T1231において、画像データ出力部32に次画像表示開始命令が入力されると、画像データ出力部32はリファレンスフレーム33からI0ピクチャの画像データを読み込み、読み込んだ画像データをビデオ・エンコーダ18へ出力する。

【0121】時刻T1232および時刻T1233において、画像データ出力部32に反復表示開始命令が入力されると、画像データ出力部32はリファレンスフレーム33から再びI0のピクチャの画像データを読み込み、読み込んだ画像データをビデオ・エンコーダ18へ出力する。時刻T1234では、スロー・デコード用表示時刻判定部16bが表示時刻判定部11bからの次画像表示開始命令を受け取り、スロー・デコード用表示時刻判定部16bは、時刻T1234の直後の表示開始命令の出力時刻である時刻T1235で、反復表示開始命令ではなく、次画像表示開始命令を画像データ出力部32へ出力する。

【0122】時刻T1235において、画像データ出力部32に次画像表示開始命令が入力されると、画像データ出力部32はリファレンスフレーム33から、直前の表示開始時刻である時刻T1233に表示を開始したI0ピクチャのつぎに表示すべきB0ピクチャの画像データを読み込み、読み込んだ画像データをビデオ・エンコーダ18へ出力する。時刻T1236において、画像データ出力部32に反復表示開始命令が入力されると、画像データ出力部32はリファレンスフレーム33から再びB0ピクチャの画像データを読み込み、該画像データをビデオ・エンコーダ18へ出力する。

【0123】以上のように、スロー再生時においても、画像データ出力部32には、フレーム周期毎に次画像表示開始命令もしくは反復表示開始命令が入力され、リファレンスフレーム33に格納されている画像データが、ビデオ・エンコーダ18へと出力される。

【0124】

【発明の効果】第1の発明の装置では、デコード部における1単位ごとの復号化の開始時刻および復号化データの出力の開始時刻が、遅い速度に適合するように処理制御部によって制御され、デコード部で得られた復号化データは記憶部を経由することにより、本来の速度に適合した周期で1単位分が出力される。このため、従来の装置のような複雑な回路構成を必要とせず、かつ整数分の一倍速に限定されない任意の遅い速度でのデコードが実現する。

【0125】第2の発明の装置では、処理制御部が、クロック生成部、分周部、および計数部を用いることによって簡素な回路で構成される。

【0126】第3の発明の装置では、デコード部が分周クロックに同期して符号化データを復号化するので、符号化データが入力される遅い速度が如何なる値であっても、全ての符号化データを過不足なく復号化することができる。

【0127】第4の発明の装置では、デコード部があらゆる分周クロックよりも周期の短い基準クロックに同期して符号化データを復号化するので、符号化データが入力される遅い速度が如何なる値であっても、全ての符号

化データを過不足なく復号化することができる。しかも、1単位ごとの復号化に要する時間が短いので、記憶部から出力される1単位分の復号化データとして、最新の1単位の符号化データの復号化データが、早い時期に得られる。

【0128】第5の発明の装置では、出力制御部が、基準クロック信号を計数する計数部を用いることにより、簡素な回路で構成される。

【0129】第6の発明の装置では、出力制御部が、処理制御部が決定する1単位ごとの出力の開始の時期の一つを、1単位分の内容を周期的に出力させる時期の起点とするので、時刻管理情報にもとづいてデコード部が1単位分の復号化データを出力する時刻に同期して、復号化データの1単位分の内容が記憶部から出力される。

【0130】第7の発明の装置では、記憶部が、デコード部が出力する復号化データを更新的に保持することにより、最新の1単位分の復号化データを保持するので、記憶部に要する記憶容量を低く抑えることができる。

【0131】第8の発明の装置では、記憶部が、フレーム間予測符号化データの復号化のための参照用の記憶媒体をも兼ねるので、記憶部をも含めた全体としての記憶媒体の記憶容量が節減される。

【0132】第9の発明の装置では、本発明のデコーダと再生信号処理部とが備わるので、記録媒体に記録された符号化データを任意の速度で再生することができる。

【図面の簡単な説明】

【図1】 実施の形態1の再生装置のブロック図であ

る。

【図2】 図1の装置の動作説明図である。

【図3】 図1の装置の動作説明図である。

【図4】 実施の形態2の再生装置のブロック図である。

【図5】 図4の装置の動作説明図である。

【図6】 実施の形態3の再生装置のブロック図である。

【図7】 図6の装置の動作説明図である。

【図8】 図6の装置の動作を表形式で説明する説明図である。

【図9】 図6の装置の動作を表形式で説明する説明図である。

【図10】 図6の装置の動作説明図である。

【図11】 実施の形態4の再生装置のブロック図である。

【図12】 図11の装置の動作説明図である。

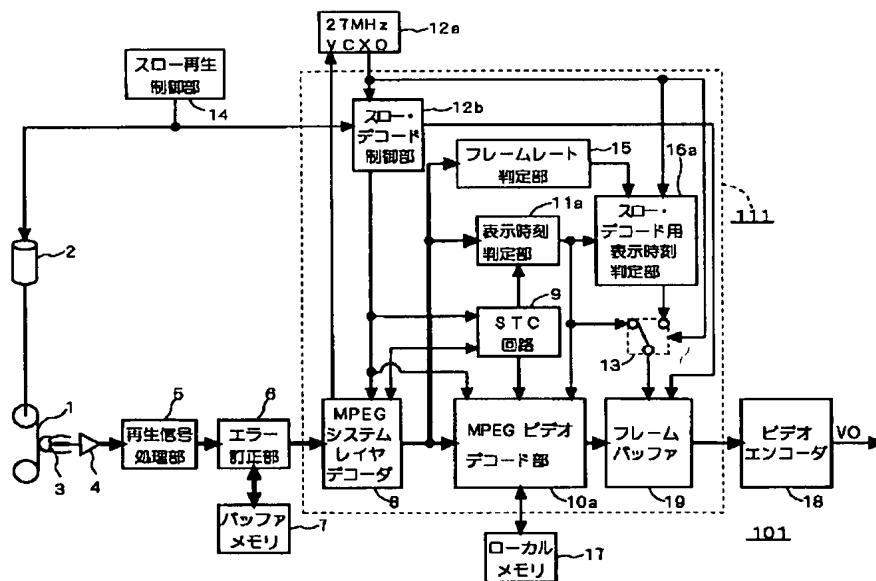
【図13】 従来の再生装置のブロック図である。

【図14】 図13の装置の動作説明図である。

【符号の説明】

5 再生信号処理部、8 MPEGシステムレイヤ・デコーダ（デコード部）、9 STC回路（計数部）、10a、10b MPEGビデオ・デコード部（デコード部）、12a VCXO（クロック生成部）、12b スロー・デコード制御部（分周部）、19 フレームバッファ（記憶部）、33 リファレンスフレーム（記憶部）。

【図1】



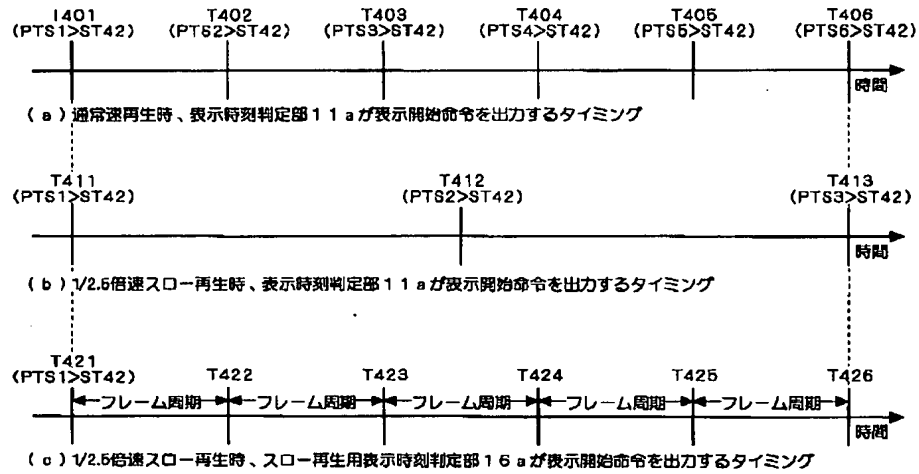
【図8】

| 時刻 | 表示時刻判定部11bが出力する表示開始命令 |
|------|-----------------------|
| T901 | 次画像表示開始命令 |
| T902 | 次画像表示開始命令 |
| T903 | 次画像表示開始命令 |
| T904 | 次画像表示開始命令 |
| T905 | 次画像表示開始命令 |
| T906 | 次画像表示開始命令 |

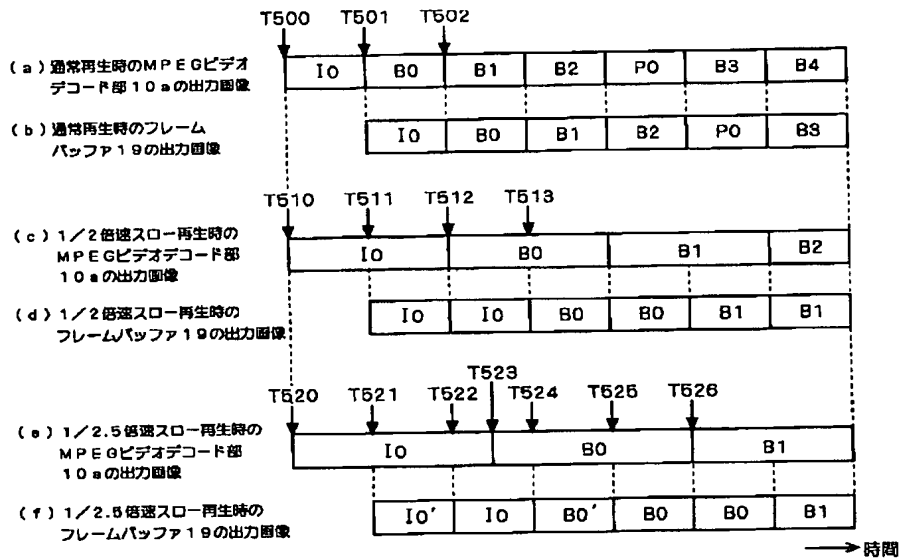
【図9】

| 時刻 | スロー再生時刻判定部16bが出力する表示開始命令 |
|------|--------------------------|
| T921 | 次画像表示開始命令 |
| T922 | 反復表示開始命令 |
| T923 | 反復表示開始命令 |
| T924 | 次画像表示開始命令 |
| T925 | 反復表示開始命令 |
| T926 | 次画像表示開始命令 |

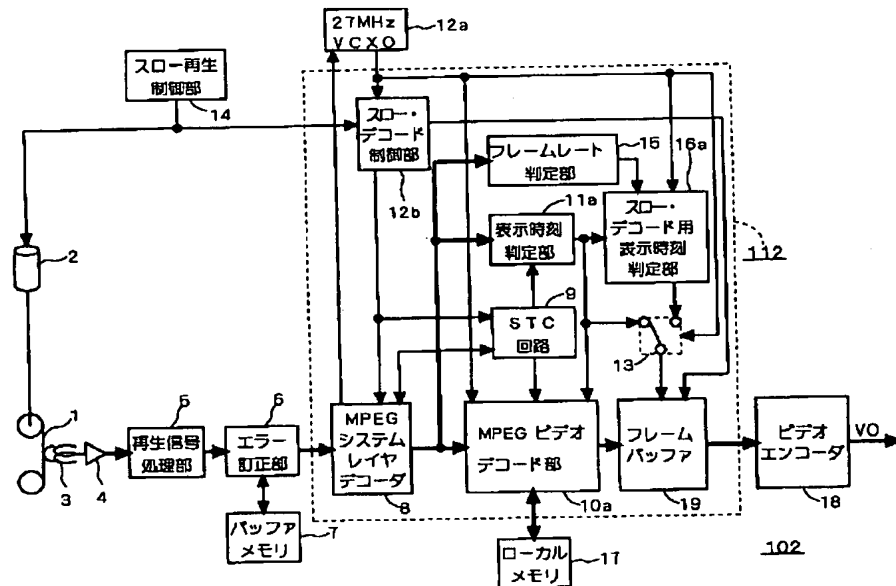
【図2】



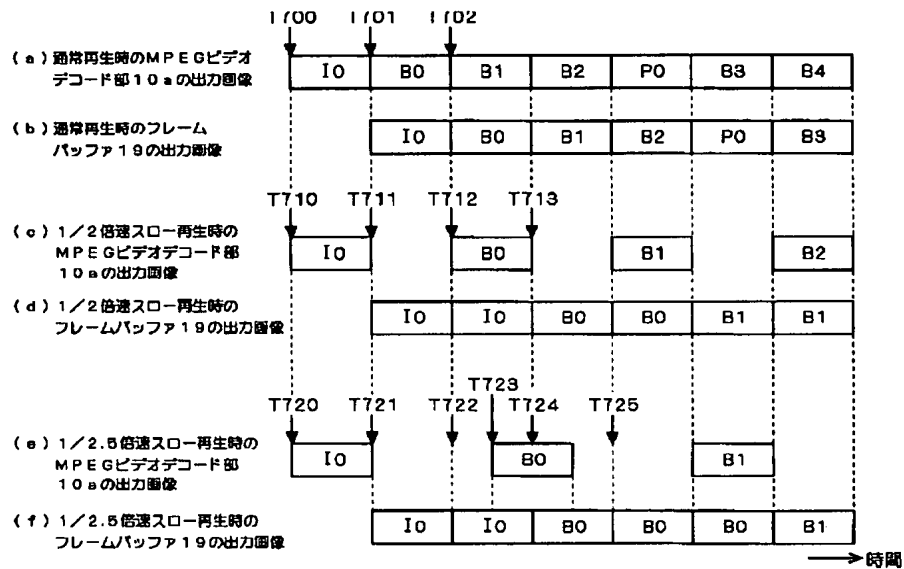
【図3】



【図4】



【図5】



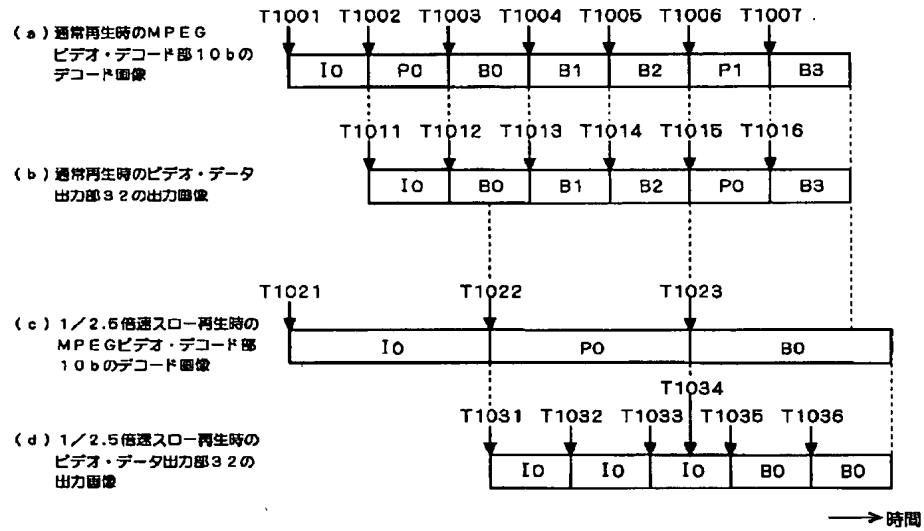
[illegible]

(a) 通常速再生時、表示時刻判定部 11 b が次画面表示開始命令を出力するタイミング

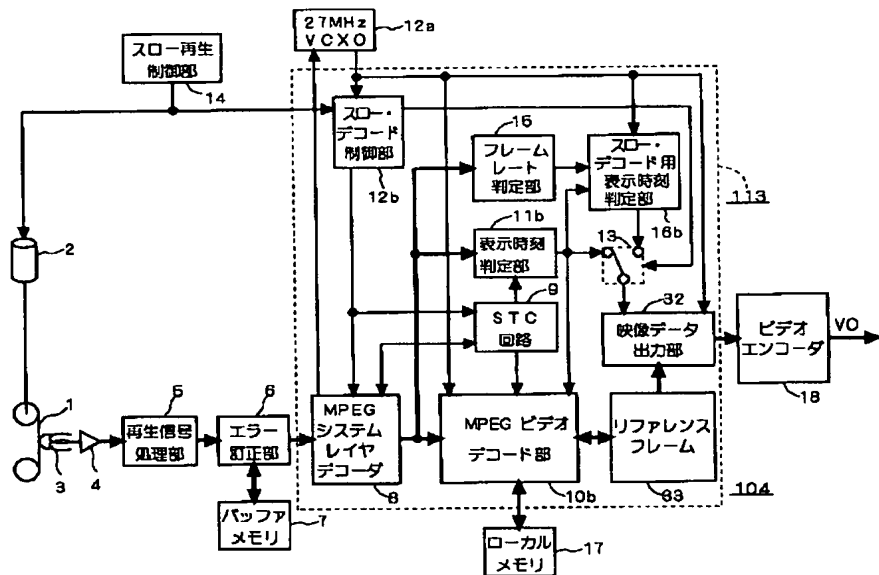
(b) 1/2.5倍速スロー再生時、表示時刻判定部 11 b が次画像表示開始命令を出力するタイミング

(c) 1/2.5倍速スロー再生時、スロー再生用表示時刻判定部 16 b が次画面表示開始命令および反転表示開始命令を出力するタイミング

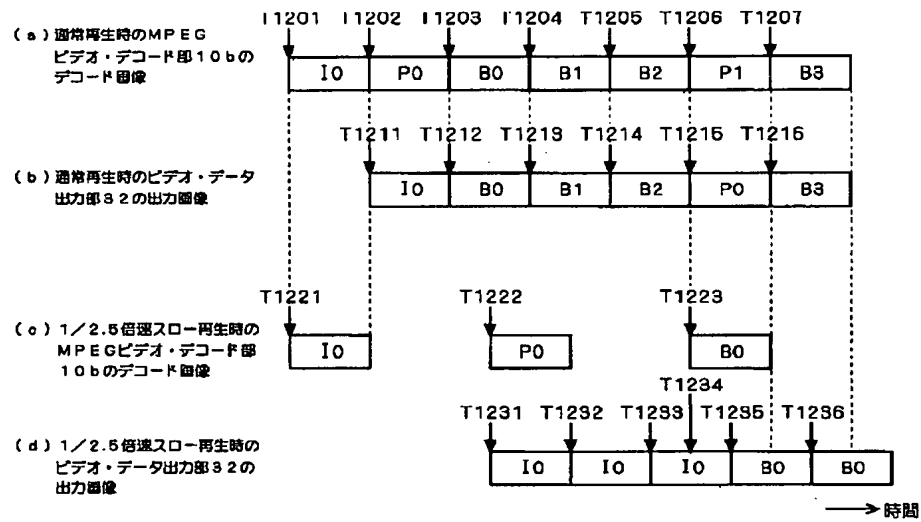
【図10】



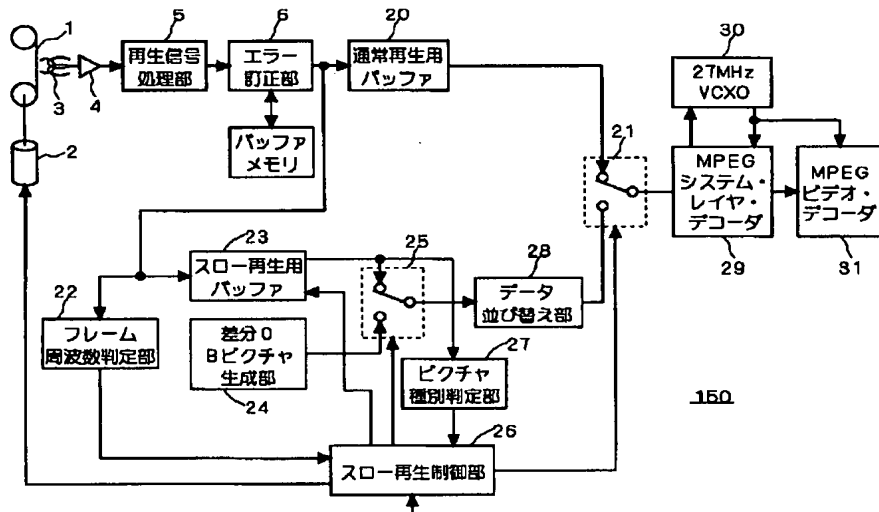
【図11】



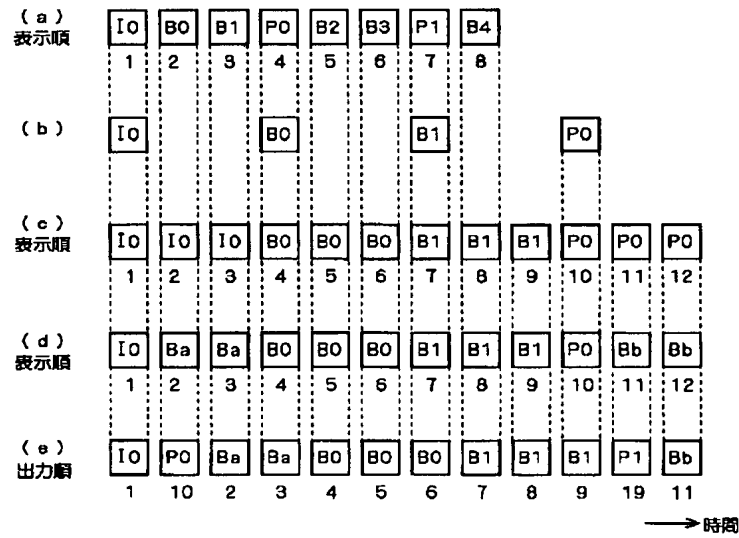
【図12】



【図13】



【図14】



フロントページの続き

| | | | |
|----------------|-------|---------|------------|
| (51)Int. Cl. 7 | 識別記号 | F I | テーマコード(参考) |
| H O 4 N | 5/937 | H O 4 N | 5/93 |
| | 5/93 | | C |
| | 7/32 | | E |
| | | | Z |
| | | 7/137 | |

F ターム(参考) 5C018 JA02 JB03 JB07 JC02 MA01
MA02
5C053 FA20 FA21 GB04 GB06 GB11
GB15 GB17 GB38 HA23 HA33
JA03 KA03 KA08 KA10 KA18
KA24 LA20
5C059 KK06 KK33 MA00 MA05 PP05
PP06 PP07 RB01 RF04 SS12
SS16 TA71 TB04 TC47 TD16
UA05 UA09 UA10 UA32
5D044 AB07 BC01 CC03 DE32 DE39
FG23 GM02 GM14 GM17
5D110 AA04 AA29 DA17 DB05 DC05
DE06

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-010204

(43)Date of publication of application : 11.01.2002

(51)Int.Cl. H04N 5/92

G11B 20/14

G11B 27/00

H04N 5/783

H04N 5/937

H04N 5/93

H04N 7/32

(21)Application number : 2000-190645 (71)Applicant : MITSUBISHI
ELECTRIC CORP

(22)Date of filing : 26.06.2000 (72)Inventor : SHIDA TETSUO
KOSAKA HIDEAKI

(54) DECODER AND REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide flexible reproduction in slow motion not to be limited to speed divided by integer without requiring complicated circuit structure.

SOLUTION: A slow decoding control part 12b divides a reference clock generated by a VCXO 12a according to ratio of slow speed to normal speed. A STC circuit 9 counts divided clock. Start time of decoding by a MPEG video decoding part 10a is determined by comparison DTS included in a MPEG data with a count value by the STC circuit 9. A displayed time determining part 11a determines when a decoded data is outputted according to comparison between

PTS included in the MPEG data and the count value by the STC circuit 9. The decoded data is stored on a frame buffer 19 temporarily and outputted in response to a signal from a determining part 16a according to information of frame frequency included the MPEG data.

LEGAL STATUS [Date of request for examination] 24.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3846771

[Date of registration] 01.09.2006

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Receive coded data including the time-of-day-control information which specifies the time of day about decoding, and when said coded data is inputted into said decoding section at a rate later than the original rate which said time-of-day-control information expresses as the decoding section to decrypt So that initiation of the decryption for every unit of said coded data and initiation of the output for said every unit of decryption data may be performed at the time of day which suited said late rate The processing control section directed based on said time-of-day-control information, and the storage section which holds temporarily said decryption data which said decoding section outputs, A decoder equipped with the output-control section to which the contents for one unit are made to output out of said decryption data which the storage section concerned

holds with the period which suited said original rate based on said time-of-day-control information.

[Claim 2] The clock generation section in which said processing control section generates a reference clock signal, The dividing section which generates a dividing clock by carrying out dividing of said reference clock signal by the ratio of said late rate and said late original rate, counting which carries out counting of said dividing clock -- the section -- having -- said counting -- the decoder according to claim 1 which determines the stage of initiation of said decryption, and initiation of said output by comparing the enumerated data and said time-of-day-control information on the section.

[Claim 3] Said decoding section is a decoder according to claim 2 which decrypts said coded data synchronizing with said dividing clock.

[Claim 4] Said decoding section is a decoder according to claim 2 which decrypts said coded data synchronizing with said reference clock.

[Claim 5] another counting to which said output-control section carries out counting of said reference clock signal -- the section -- having -- the another counting concerned -- the decoder according to claim 2 to 4 which determines said period by comparing the enumerated data and said time-of-day-control information on the section.

[Claim 6] Said output-control section is a decoder according to claim 5 which

makes one of the stages of initiation of the output for said every unit which said processing control section determines the origin of the stage to which the contents for said one unit are made to output said period.

[Claim 7] Said storage section is a decoder according to claim 1 to 6 holding the one newest unit of said decryption data by updating the already held data by said decryption data which said decoding section outputs.

[Claim 8] Said coded data is image data containing inter-frame predicting-coding data, and the number of said one units is one. Said storage section In said decryption data which said decoding section outputs, image data required for a decryption of said inter-frame predicting-coding data is also held. Said decoding section The decoder according to claim 7 which decrypts said inter-frame predicting-coding data by referring to said image data required for a decryption of said inter-frame predicting-coding data which said storage section holds.

[Claim 9] A regenerative apparatus equipped with a decoder according to claim 1 to 8 and the regenerative-signal processing section which reads said coded data recorded on the record medium at the rate according to the directions from the outside, and inputs it into said decoder.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the amelioration for realizing slow decoding which is processing when being especially inputted at the slow rate whose coded data is a rate usually later than a rate (namely, original rate which the time-of-day-control information recorded on coded data expresses) with simple hardware structure about a regenerative apparatus equipped with the suitable decoder for a decryption and the decoder concerned of MPEG data (namely, data encoded based on MPEG specification).

[0002]

[Description of the Prior Art] Drawing 13 is the block diagram showing the configuration of the conventional MPEG data regenerative apparatus. This regenerative apparatus 150 is indicated by JP,11-146339,A, performs slow decoding to the MPEG data inputted through a magnetic tape, and it is constituted by it so that slow playback (namely, regeneration at a slow rate) of an image may be possible. The regenerative apparatus 150 is built for example, into the digital video recorder.

[0003] In a regenerative apparatus 150, a tape 1 is a magnetic storage for

recording MPEG data and reproducing, and the motor drive 2 is an equipment element which controls the travel speed of a tape 1. The reproducing head 3 reads the signal recorded on the tape 1, and the playback amplifier 4 amplifies the signal read by the reproducing head 3. The regenerative-signal processing section 5 is decoded as playback data while it restores to the signal amplified with the playback amplifier 4. The error correction section 6 performs error correction processing of the playback data decoded in the regenerative-signal processing section 5. Buffer memory 7 holds temporarily the playback data at the time of an error correction. Usually, the buffer 20 for playback holds the playback data after an error correction temporarily, when usually reproducing (namely, usually regeneration at a rate). The MPEG data changeover switch 21 usually chooses a buffer output between the times of playback and slow playback.

[0004] Moreover, the frame frequency judging section 22 judges frame frequency at the time of slow playback. The slow regeneration buffer 23 holds MPEG data temporarily at the time of slow playback. difference -- 0B picture generation section 24 generates B picture of difference 0. B picture insertion switch 25 inserts B picture of difference 0 in slow playback data. The slow playback control section 26 judges playback ****, and controls insertion of B picture of difference 0 based on the judgment result of the picture class of slow

playback data. The picture class judging section 27 judges the picture class of slow playback data. The data rearrangement section 28 performs time stamp modification, GOP number modification, and the order data modification of a display to the MPEG data with which B picture of difference 0 was inserted. The MPEG system layer decoder 29 performs decoding of a system layer (MPEG-TS). VCXO30 generates the 27MHz clock which serves as criteria in decoding actuation of MPEG data based on the control signal from the MPEG system layer decoder 29. The MPEG video decoders 29 and 31 decode MPEG data.

[0005] Below, actuation of a regenerative apparatus 150 is explained. The signal recorded on the tape 1 is inputted into the error correction section 6, after being read by the reproducing head 3, being amplified with the playback amplifier 4 and signal processing, such as a recovery, synchronizing signal detection, and data separation, is made in the regenerative-signal processing section 5. The error correction section 6 once stores the inputted playback data in buffer memory 7. And the error correction section 6 performs an error correction in the phase which had complete set of data of all of one unit with which an error correction sign is added at the time of record. This becomes possible to correct the error accompanying playback nearly completely.

[0006] Usually, at the time of playback, the data after the error correction

outputted from the error correction section 6 are usually sent to the MPEG decoder 31 through the buffer 20 for playback, and a transfer switch 21. On the other hand, in the case of slow playback, all the signals for one truck recorded on a tape 1 are reproduced by the head scan of multiple times. For example, in the case of DVCR defined in a digital VCR conference, an error correction sign is added by making one truck into a unit. For this reason, the error correction section 6 stores the playback data for one truck in buffer memory 7, and performs an error correction to the playback data for one accumulated truck.

[0007] Drawing 14 is a timing chart for explaining actuation of the regenerative apparatus 150 of drawing 13 , and shows the configuration of the image data decoded with a regenerative apparatus 150. Before explaining the actuation at the time of slow playback, the image data which should display at the time of slow playback, and the image data inputted into a decoder are explained using drawing 14 . It sets to drawing 14 and is a data stream (a). The structure of the image data of a general MPEG format is shown. This MPEG image data is the order of a display, and is I0, B0, B1, P0, B-2, B3 and P1, and B4.... It consists of sequence.

[0008] I0 picture is a coded image in a frame, and it is possible to reconfigure one frame independently. P0 picture is an inter-frame predicting-coding image with which I0 to P1 picture is predicted from P0 picture, respectively, and it is the

inter-frame predicting-coding image with which B0 and B1 picture is predicted from I0 picture and P0 picture, and B-2 and B3 picture are predicted from P0 picture and P1 picture, respectively.

[0009] When 1/3X slow playback is performed based on a data stream (a), in order of a display, only data with sparse I0, B0, B1, P0, and three-frame spacing exist like a data stream (b). In case this is displayed, it is necessary to repeat each frame 3 times and to output it like a data stream (c). however, in the MPEG decoder included in the usual digital-broadcasting receiver etc., inside, in order to repeat and display each image like a data stream (c), the special mechanism corresponding to it is needed [MPEG data with a sparse frame like a data stream (b) which is not standard are received, and].

[0010] On the other hand, if standard MPEG data are made and it inputs into an MPEG decoder so that a frame train like a data stream (c) may be displayed, even if it is the MPEG decoder which does not have a special mechanism, it will become possible to display a good slow playback image. The standard MPEG data which display a frame train like a data stream (c) are a data stream (d). Also in the data stream (d), each picture is illustrated in order of the display like data stream (a) - (c).

[0011] In a data stream (d), the data of I0 reproduced picture are outputted as it is first, without changing the contents of data. Next, in order to repeat and

display I0 picture, the output of the B picture Ba of the forward prediction of difference 0 is carried out twice (two frames). Since Ba picture is a B picture of forward prediction, it is the inter-frame predicting-coding image predicted from I or P picture displayed before it. In the data stream (d) illustrated by drawing 14 , Ba picture is an inter-frame predicting-coding image predicted from I0 picture, and if Ba picture is inputted also for the usual MPEG decoder without a special mechanism, the image of the difference 0 which carried out forward prediction from I0 picture, i.e., the same image as I0 frame, will be outputted.

[0012] In addition, in order to repeat I0 picture 3 times and to display it, like a data stream (c), the data of I0 picture may be repeated 3 times and may be outputted as it is. However, since there is a possibility that a buffer may overflow with decoder sides when this is made to continue compared with the picture of other classes, since there is much amount of data of I picture, Ba picture which is a forward prediction B picture of difference 0 is made to output by the data stream (d) in usual.

[0013] Next, in order to repeat B0 picture in the original contents of data 3 times and to display it, B0 picture is outputted as it is first. B0 picture is an inter-frame predicting-coding image predicted from I0 picture displayed before it, and P0 picture displayed after it. Since I0 picture and P0 picture are outputted as it is, also in B0 picture, it is outputted in the former state, without changing the

contents of data. next -- then, in order to repeat B0 picture twice and to display it, B0 picture continues twice and is outputted next. In order to repeat the B1 following picture 3 times and to display it for the same reason, B1 picture is outputted repeatedly 3 times as it is.

[0014] Then, although it is necessary to repeat P0 picture 3 times and to display it, as it is, the data of P0 picture cannot be repeated 3 times and cannot be outputted. This reason is as follows.

[0015] P0 picture is an inter-frame predicting-coding image predicted from I picture or P picture displayed before it, and is an inter-frame predicting-coding image predicted from I0 picture here. When difference with I0 of P0 picture0 picture is expressed as dP0, it is expressed like $P0 = I0 + dP0$. Temporarily, supposing it repeats the data of P0 picture 3 times and outputs them, the decoder which received the 2nd P0 picture the difference from P picture displayed before that, i.e., P0 picture, -- the 2nd P0 data is interpreted as it being data, it will not be the same as P0 picture before that ($= I0 + dP0$), and the image of $\{(I0 + dP0) + dP0\}$ will be displayed.

[0016] Then, like the case of I0 picture, P0 picture is outputted as it is, and first, in order to display it for the image of this P0 picture and difference 0, i.e., the same image as P0 picture, twice in succession after that, Bb picture (the contents of data are the same as Ba picture) which is a B picture of the

difference 0 of forward prediction is outputted twice in succession.

[0017] As mentioned above, in carrying out 1 / 3 slow playback of the image of the origin expressed with a data stream (a), frame frequency becomes it is equal to a display frame frequency, and possible [supplying the image data displayed like a data stream (c) using a standard decoder] by generating and outputting image data like a data stream (d) in order of a display. If the frame train of a data stream (d) is rewritten in order of data output, it will become a data stream (e). Since B0 picture of both-directions prediction and B1 picture cannot be decoded unless the data of I in which a display order is located behind, and P picture are assembled, in a data stream (e), I picture and P picture required for decoding of B picture are outputted ahead of B0 picture and B1 picture.

[0018] The procedure which generates image data like a data stream (d) is returned and explained to drawing 13 . The image data reproduced by slow playback is outputted after being collected by the error correction section 6 by one truck. In the regenerative apparatus 150 which drawing 13 shows, since data are transmitted at a rate later than an original transmission speed by slow playback, this data is inputted into the frame frequency judging section 22 at the time of slow playback while it is once stored in the buffer 23 for slow playback. In the frame frequency judging section 22, from the graphics format information included in MPEG data, the frame frequency to display is judged and the

judgment result is inputted into the slow playback control section 26.

[0019] The slow playback control section 26 changes a changeover switch 25 to the buffer 23 side for slow playback, performs read-out control of the buffer 23 for slow playback, and reads the data for one picture from the buffer 23 for slow playback. When the data for one picture are read, it is judged by the picture classification judging section 27 any of I, P, and B picture the picture data read from the buffer 23 for slow playback are, and the judgment result is sent to the slow playback control section 26. The slow playback control section 26 controls a transfer switch 25 according to the judgment result from the picture classification judging section 27.

[0020] namely, -- if the data for one read picture are I or P picture -- the slow playback control section 26 -- a changeover switch 25 -- difference -- it changes to 0B picture generation section 24 side, and B picture of the difference 0 of forward prediction is made to output Moreover, when the read data are B picture, the slow playback control section 26 holds a changeover switch 26 to the buffer 23 side for slow playback, and reads B picture again.

[0021] The count of an output of these false images is determined by the slow playback control section 26 based on the slow reproduction speed decided beforehand. Like the above-mentioned example, if, as for the case of $1/3X$, an instruction of slow playback initiation is inputted into the slow playback control

section 26, the slow playback control section 26 will be read as mentioned above, and will insert data of two frames to one frame of data while rotating the motor 2 which drives a tape 1 by $1/3X$.

[0022] Thus, an image data stream like the data stream (e) of drawing 14 is outputted from a transfer switch 25. Each data outputted from the transfer switch 25 is sent to the MPEG decoders 28 and 31 through the data rearrangement section 28 and a transfer switch 21.

[0023] The data rearrangement sections 28 are a time stamp, a GOP number, and an equipment element that changes the order of a display. namely, -- if the time stamp (namely, relative time of day which decodes and displays image data) given to the original image data is slow $1/3X$, while being made to change the original time of day at the time of day prolonged 3 times -- every -- the number of pictures in GOP (Group of Pictures) is rewritten 3 times. Moreover, it is rewritten to the sequence in which the order of a display of each picture within each GOP also included the inserted false images Ba and Bb.

[0024] Thus, the data outputted via a switch 21 are inputted into the MPEG system layer decoder 29 as MPEG data which have the time stamp which was adapted for the data transmission rate of slow playback. In the MPEG system layer decoder 29, a time stamp etc. is extracted from the this inputted MPEG data, and while controlling VCXO30 which generates a system clock, image data

is taken out and it inputs into the MPEG video decoder 31. In the MPEG video decoder 31, the inputted MPEG image data is decoded and the image data which can project is outputted.

[0025]

[Problem(s) to be Solved by the Invention] However, in the conventional MPEG data regenerative apparatus, there was a trouble that the circuitry for realizing slow playback as drawing 13 shows became complicated. Moreover, there was a trouble [this] that control of each element of equipment was complicated, conjointly. Furthermore, since B picture of the difference 0 for slow playback was inserted per 1 picture, there was a trouble that it could not respond to 1X for an integer fundamentally.

[0026] This invention aims at offering the MPEG decoder which realizes high slow playback of the degree of freedom which was not made in order to cancel the above-mentioned trouble in a Prior art, does not need complicated circuitry, and is not limited to 1X for an integer.

[0027]

[Means for Solving the Problem] The decoding section which receives and decrypts coded data including the time-of-day-control information which the equipment of the 1st invention is a decoder and specifies the time of day about decoding, When said coded data is inputted into said decoding section at a rate

later than the original rate which said time-of-day-control information expresses

So that initiation of the decryption for every unit of said coded data and initiation of the output for said every unit of decryption data may be performed at the time of day which suited said late rate The processing control section directed based on said time-of-day-control information, and the storage section which holds temporarily said decryption data which said decoding section outputs, It has the output-control section to which the contents for one unit are made to output out of said decryption data which the storage section concerned holds with the period which suited said original rate based on said time-of-day-control information.

[0028] The clock generation section in which said processing control section generates a reference clock signal in the decoder of the 1st invention with the equipment of the 2nd invention, The dividing section which generates a dividing clock by carrying out dividing of said reference clock signal by the ratio of said late rate and said late original rate, counting which carries out counting of said dividing clock -- the section -- having -- said counting -- the stage of initiation of said decryption and initiation of said output is determined by comparing the enumerated data and said time-of-day-control information on the section.

[0029] With the equipment of the 3rd invention, said decoding section decrypts said coded data in the decoder of the 2nd invention synchronizing with said

dividing clock.

[0030] With the equipment of the 4th invention, said decoding section decrypts said coded data in the decoder of the 2nd invention synchronizing with said reference clock.

[0031] another counting to which said output-control section carries out counting of said reference clock signal in the decoder of the 2nd thru/or the 4th one of invention with the equipment of the 5th invention -- the section -- having -- the another counting concerned -- said period is determined by comparing the enumerated data and said time-of-day-control information on the section.

[0032] With the equipment of the 6th invention, said output-control section makes one of the stages of initiation of the output for said every unit which said processing control section determines the origin of the stage to which the contents for said one unit are made to output said period in the decoder of the 5th invention.

[0033] With the equipment of the 7th invention, the one newest unit of said decryption data is held in the decoder of the 1st thru/or the 6th one of invention by updating the data which said storage section already holds by said decryption data which said decoding section outputs.

[0034] It is the image data in which said coded data contains inter-frame predicting-coding data in the decoder of the 7th invention with the equipment of

the 8th invention. The number of said one units is one. Said storage section In said decryption data which said decoding section outputs, image data required for a decryption of said inter-frame predicting-coding data is also held. Said decoding section By referring to said image data required for a decryption of said inter-frame predicting-coding data which said storage section holds, said inter-frame predicting-coding data are decrypted.

[0035] The equipment of the 9th invention is a regenerative apparatus, reads the decoder of the 1st thru/or the 8th one of invention, and said coded data recorded on the record medium at the rate according to the directions from the outside, and is equipped with the regenerative-signal processing section inputted into said decoder.

[0036]

[Embodiment of the Invention] The equipment of the gestalt of each following operation is conventionally encoded in the form of well-known MPEG 2-TS (Transport Stream) (coding). MPEG data which were carried out including the both sides of compression-izing and multiplexing in the case of MPEG 2-TS (MPEG data) In the case of MPEG 2-TS, most widely The image data of a multiple channel, the voice data of a multiple channel, and other data -- containing -- it is the regenerative apparatus which has the decoder received and decrypted and the decoder concerned, and especially a decoder is

constituted possible [decode of the MPEG data inputted at a rate later than an original rate]. The regenerative apparatus which has the above-mentioned decoder is more nearly refreshable than the time of record at a late rate, and the recording tape with which MPEG data were recorded is constituted possible [decode of the MPEG data read at the rate later than an original rate by that cause].

[0037] Since MPEG 2-TS is the specification of common knowledge to this contractor, about various kinds of vocabulary based on this specification, such as PCR, PTS, DTS, etc. as time-of-day-control information, it is only ** which attaches easy explanation and the detailed explanation is omitted. Moreover, although the gestalt of each operation explains the example made into the object of processing of the MPEG data based on MPEG 2-TS, the equipment of this invention can be considered as the object of processing of wide range coded data, such as coded data which has the information which specifies the time of day about decoding equivalent to the time-of-day-control information on MPEG 2-TS.

[0038] Gestalt 1. drawing 1 of operation is the block diagram of the MPEG data regenerative apparatus by the gestalt 1 of operation of this invention. In addition, in the following drawings, about the same part as the conventional equipment shown in drawing 13 , or a considerable part (part with the same function), the

same sign is attached and the detailed explanation is omitted. Moreover, in drawing 1 , the part which transmits the signal included in MPEG data in a signal line is drawn by the thick wire.

[0039] The MPEG data regenerative apparatus 101 of drawing 1 is equipped with the MPEG decoder 111, and the MPEG data after playback / decode are inputted into this MPEG decoder 111 from the error correction section 6. In the MPEG decoder 111, the MPEG system layer decoder 8 performs decoding of a system layer (MPEG-TS) to the MPEG data after the playback / decode sent from the error correction section 6. The STC (System Time Counter) circuit 9 is a counter which carries out counting of the timing of decoding/output (display) by PCR (Program Clock Reference: program reference clock information) used as the base of decoding of an MPEG image / voice data, and output (display) timing. PCR is a kind of time-of-day-control information.

[0040] MPEG video decoding section 10a decodes the inputted MPEG image data, and outputs the image data after decoding. Display time-of-day judging section 11a PTS (Presentation Time Stamp) which shows the data output (display) timing after decoding The comparison with the enumerated data of STC circuit 9 and PTS which read in MPEG image data and are performing counting based on above-mentioned PCR is performed. When the enumerated data of STC circuit 9 reach to the predetermined near value to PTS, the control

signal for starting the output (display) of decoding data is given to MPEG video decoding section 10a and display time-of-day judging section 16a for slow decoding. PTS is a kind of time-of-day-control information.

[0041] VCXO12a connected to the MPEG decoder 111 generates the 27MHz reference clock which serves as basic time bases, such as decoding, in the MPEG decoder 111 based on the control from the MPEG decoder 111. It usually controls the changeover switch 13 for changing a display-instruction signal and outputting to a frame buffer 19 between the case of decoding (namely, usually decoding at a rate), and the case of slow decoding (namely, decoding at a slow rate) while slow decoding control-section 12b carries out dividing of the 27MHz clock according to reproduction speed, obtains a system clock and supplies it to the MPEG system layer decoder 8 and STC circuit 9.

[0042] A changeover switch 13 chooses the control signal outputted from display time-of-day judging section 11a, and the control signal for slow decoding separately generated in display time-of-day judging section 16a for slow decoding at the time of slow decoding free [a change]. The slow playback control section 14 connected to the MPEG decoder 111 controls the motor drive 2, division ratio selection section 12b, and a changeover switch 13, in order to attain data playback at the rate directed through the user interface which is not illustrated.

[0043] The frame rate judging section 15 reads the frame frequency information which is the information expressing the frame frequency at the time of a display, and exists in MPEG image data, and outputs it to display time-of-day judging section 16a for slow decoding. On these specifications, frame frequency information presupposes that it is a kind of time-of-day-control information. Display time-of-day judging section 16a for slow decoding generates the display-control signal at the time of slow playback based on the display-control signal from display time-of-day judging section 11a, and the frame frequency information from the frame rate judging section 15 and the reference clock from VCXO12a.

[0044] The local memory 17 connected to the MPEG decoder 111 is a storage which develops image data, in case MPEG video decoding section 10a performs decoding. The video encoder 18 connected to the MPEG decoder 111 changes the digital video signal which is the image data of the digital format after being decoded into the analog video signal VO which is the image data of analog format. A frame buffer 19 holds temporarily one frame of the digital video signal outputted from MPEG video decoding section 10a.

[0045] Below, actuation of the MPEG decoder 111 is explained, referring to drawing 1 . After the signal recorded on the tape 1 is read from the reproducing head 3 and amplified with the playback amplifier 4, signal processing, such as a

recovery, synchronizing signal detection, and data separation, is performed to it in the regenerative-signal processing section 5, and it is inputted into the error correction section 6 after that. The error correction section 6 once stores the inputted playback data in buffer memory 7. And the error correction section 6 performs an error correction in the phase which had complete set of data of all of one unit with which an error correction sign is added at the time of record. It becomes possible to correct the error at the time of playback thereby nearly completely.

[0046] The signal after the error correction outputted from the error correction section 6 is the data stream of a MPEG-TS (TS:Transport Stream) format, and time-division multiplexing of the image data (video data) by which compression processing was carried out based on MPEG specification, voice data (audio data), and the additional information about these is carried out in the packet-ized format. The data stream of a MPEG-TS format is inputted into the MPEG system layer decoder 8, and the videos PES (Packetized Elementary Stream) and PCR which choose only the packet of image data and are obtained are extracted. Video PES is the coding stream of the image based on MPEG specification, and contains DTS (Decode Time Stamp) which is the time stump in which the decode time of day for every picture is shown, and PTS (Presentation Time Stamp) which is the time stump in which the display time of day for every picture

is shown. DTS is also a kind of time-of-day-control information. PCR is the information for proofreading the enumerated data of STC circuit 9 which serve as criteria time of day in an MPEG data regenerative apparatus in the case of coding and a decryption of an image and voice. The MPEG system layer decoder 8 transmits Video PES to MPEG video decoding section 10a, display time-of-day judging section 11a, and the frame rate judging section 15, and tells PCR to STC circuit 9.

[0047] Since PCR is the time interval which was adapted for the transmission data rate set up in original when the data stream of a MPEG-TS format was encoded and it is given as change of the enumerated data by the 27MHz reference clock, The MPEG system layer decoder 8 reads PCR out of the inputted data stream of a MPEG-TS format. Furthermore, the enumerated data of this time [STC circuit / 9] are read, and decoding is carried out to reappear and swerve from the system time on which the data stream was overlapped possible by outputting a control signal to VCXO12a based on the differential signal of the read enumerated data and the value of PCR. In VCXO12a, it is based on the inputted control signal, and by increasing or decreasing an oscillation frequency, it adjusts so that the clock frequency which suits PCR in a data stream may be obtained. Namely, when the direction of the time of day which read STC (namely, enumerated data of STC circuit 9) at present shows

rather than the time of day which read PCR shows is progressing, VCXO12a is adjusted in the direction which lowers an oscillation frequency. On the contrary, when the direction of the time of day which STC shows is behind the time of day which PCR shows, VCXO12a is adjusted in the direction which raises an oscillation frequency.

[0048] In the case of slow playback, the slow playback control section 14 While controlling the motor drive 2 of operation based on the playback **** information (namely, information expressing playback ****) specified through the user interface which is not illustrated to suit slow playback Slow decoding control-section 12b is controlled to carry out dividing of the output clock signal of VCXO12a by the division ratio which was adapted for playback ****, and a changeover switch 13 is controlled to change to the display time of day which suited playback **** further. Slow decoding control-section 12b carries out dividing of the inputted clock signal based on the reproduction speed information inputted from the slow playback control section 14. For example, although the clock signal into which slow decoding control-section 12b was inputted when playback at a rate was usually performed is outputted as it is (1/1 time), in performing 1/NX slow playback, N dividing of the inputted clock signal is carried out, and it changes and outputs a frequency 1/N time.

[0049] The motor drive 2 changes the travel speed of a tape 1 based on the

control signal from the slow playback control section 14. At the time of $1/NX$ slow playback, the travel speed of a tape 1 usually becomes $1/N$ time at the time of playback. Therefore, at the time of $1/NX$ slow playback, the data rate of the signal read from the reproducing head 3 also usually becomes $1/N$ time at the time of playback, and the signal processed in the playback amplifier 4, the regenerative-signal processing section 5, and the error-processing section 6 is usually inputted into the MPEG system layer decoder 8 by one $1/N$ time [at the time of playback] the data rate of this.

[0050] STC circuit 9 performs counting based on the clock signal inputted from slow decoding control-section 12b. For this reason, at the time of $1/NX$ slow playback, counting is performed based on the signal by which dividing was carried out to the clock signal of VCXO12a $1/N$ time the frequency of an output. In this case, since the arrival rate of the data stream which reaches the MPEG system layer decoder 8 has increased $1/N$ time, the disagreement of a change rate is not produced between PCR read from the data stream, and the enumerated data of STC circuit 9 based on the system clock by which dividing was increased $1/N$ time, but the control signal of VCXO12a based on such difference is generated correctly.

[0051] Display time-of-day judging section 11a extracts PTS which shows display timing from the video PES inputted from the MPEG system layer decoder

8. Display time-of-day judging section 11a supervises STC circuit 9 further, and when the time of day which PTS shows, and the time of day which STC circuit 9 shows arrive at coincidence or a certain fixed near range, it outputs the display initiation instruction which makes a frame buffer 19 start the display of the corresponding image to a changeover switch 13.

[0052] The frame rate judging section 15 extracts the frame rate information which shows the frame period of an image from the video PES inputted from the MPEG system layer decoder 8, and outputs frame rate information to display time-of-day judging section 16a for slow decoding. Display time-of-day judging section 16a for slow decoding obtains the frame period of an image from the frame rate information inputted from the frame rate judging section 15. Moreover, display time-of-day judging section 16a for slow decoding outputs a display initiation instruction to a changeover switch 13 for every frame period with the arrival time of the display initiation instruction of the first frame which starts decoding inputted from display time-of-day judging section 11a as the starting point. In addition, the reference clock signal inputted from VCXO12a is used for generation of a frame period. That is, display time-of-day judging section 16a for slow decoding has the counter (illustration is omitted) which carries out counting of the reference clock signal, and has obtained the frame period by comparing the enumerated data and frame rate information.

[0053] At the time of playback, the slow playback control section 14 controls a changeover switch 13, and it usually controls a changeover switch 13 so that the display initiation instruction which display time-of-day judging section 16a for slow decoding outputs is inputted to a frame buffer 19 at the time of slow playback, so that the display initiation instruction which display time-of-day judging section 11a outputs is inputted into a frame buffer 19.

[0054] Drawing 2 is a timing chart which shows the timing as which the display initiation instruction which display time-of-day judging section 11a and display time-of-day judging section 16a for slow decoding output is inputted into a frame buffer 19 via a changeover switch 13. A timing chart (a) shows the timing as which a display initiation instruction is usually inputted into a frame buffer 19 at the time of playback, the timing which display time-of-day judging section 11a outputs in a display initiation instruction at the time of the 1/2.5X playback as an example of slow decoding is shown, and the timing the display time-of-day judging section 16a for slow decoding outputs a display initiation instruction to 1/2.5X o'clock is shown [timing chart / timing chart / (c)] in a timing chart (b). It is being displayed on one drawing that drawing 2 can compare these three kinds of timing mutually.

[0055] Usually, the slow playback control section 14 controls a changeover switch 13 by the time of playback so that the display initiation instruction which

display time-of-day judging section 11a outputted is inputted into a frame buffer 19 via a changeover switch 13. It is the time of day which detected that PTS1 whose display time-of-day judging section 11a is PTS of the image displayed first, and the enumerated data (ST42) of time of day T401 in a timing chart (a) of STC circuit 9 corresponded, and in this time of day, a display initiation instruction is outputted to a changeover switch 13, and is inputted into a frame buffer 19 via a changeover switch 13. It is the time of day which detected that PTS2 whose display time-of-day judging section 11a is PTS of the image displayed on the next, and the enumerated data of time of day T402 in a timing chart (a) of STC circuit 9 corresponded similarly, and in this time of day, a display initiation instruction is outputted to a changeover switch 13, and is inputted into a frame buffer 19 via a changeover switch 13. Thus, a display initiation instruction is inputted into a frame buffer 19 at the time of day PTS extracted from Video PES and whose enumerated data of STC circuit 9 usually corresponded at the time of playback.

[0056] Below, display time-of-day judging section 11a explains the timing which outputs a display initiation instruction at the time of slow playback. The timing chart (b) shows the timing to which display time-of-day judging section 11a outputs a display initiation instruction at the time of 1/2.5X slow playback as an example of the slow playback which is not 1X for an integer. It is the time of day

which detected that PTS1 which is PTS of the image displayed first, and time of day's T411 of a timing chart (b) enumerated data of STC circuit 9 corresponded, and time of day T412 is the time of day which detected that PTS2 which is PTS of the image displayed on the next, and the enumerated data of STC circuit 9 were in agreement. At the time of 1/2.5X playback, the frequency of the clock signal inputted into STC circuit 9 usually falls by 1/2.5 time at the time of playback. Therefore, compared with spacing of the time of day T401 at the time of playback, and time of day T402, spacing of the time of day T411 at the time of 1/2.5X slow playback and time of day T412 is usually expanded by 2.5 times.

[0057] In order to display correctly the image data outputted from the MPEG data regenerative apparatus 101 at the time of slow playback with an external monitor, image data must be outputted with a proper frame period from MPEG video decoding section 10a. A proper frame period is obtained from the frame rate judging section 15.

[0058] Then, display time-of-day judging section 16a for slow decoding outputs a display initiation instruction for every frame period from display time-of-day judging section 11a on the basis of the time of day (T421) into which the display initiation instruction was inputted for the first time. At the time of slow playback, the slow playback control section 14 inputs into slow decoding control-section 12b the playback **** information expressing the rate as which MPEG data are

inputted into the MPEG system layer decoder 8. Slow decoding control-section 12b controls a changeover switch 13 so that the display initiation instruction which carried out dividing of the 27MHz clock signal inputted from VCXO12a according to the data input rate based on the playback **** information that it was inputted, and outputted to the MPEG system layer decoder 8, and display time-of-day judging section 16a for slow decoding outputted is inputted into a frame buffer 19. In order to reproduce frame frequency not based on the clock with which slow decoding control-section 12b carried out dividing of the display time-of-day judging section 16a for slow decoding at this time but based on the 27MHz clock signal in front of dividing, also at the time of the slow playback which is not 1X for an integer, it is a proper frame period and a display initiation instruction is inputted into a frame buffer 19.

[0059] The timing chart (c) shows the timing to which display time-of-day judging section 16a for slow decoding outputs a display initiation instruction at the time of 1/2.5X slow playback. Time of day T421, T422, T423, T424, T425, and T426 is timing to which display time-of-day judging section 16a for slow decoding outputs a display initiation instruction. Time of day T421 is the time of day when display time-of-day judging section 16a for slow decoding received the display initiation instruction for the first time from the display time-of-day judging section 11. Time of day T422 is time amount in which only the frame period has passed

since time of day T421, and time of day T423 is time of day when only the frame period has passed since time of day T422. Display time-of-day judging section 16a for slow decoding outputs a display initiation instruction for every frame period like time of day T422 and T423 and on the basis of time of day T421. A frame period is generated regardless of the **** value of slow playback based on the 27MHz clock signal with which dividing of VCXO12 is not carried out.

[0060] MPEG video decoding section 10a extracts DTS for every image from the video PES inputted from the MPEG system layer decoder 8. MPEG video decoding section 10a reads the enumerated data of STC circuit 9, and when the time of day which the enumerated data of STC circuit 9 show, and the time of day which DTS extracted from Video PES shows are in agreement, it starts decoding of the corresponding image. The clock signal acquired by carrying out dividing of the 27MHz clock signal outputted from VCXO12a by slow decoding control-section 12b according to reproduction speed is inputted into MPEG video decoding section 10a, and MPEG video decoding section 10a performs decoding synchronizing with the inputted clock signal. MPEG video decoding section 10a stores the decoded image data in the local memory 17. Furthermore, if a display initiation instruction is inputted from display time-of-day judging section 11a, MPEG video decoding section 10a will read image data from the local memory 17, and will output image data to a frame buffer 19.

[0061] A frame buffer 19 starts the output to the video encoder 18 of the accumulated image data, whenever a display initiation instruction is inputted from a changeover switch 13, while accumulating the image data inputted from MPEG video decoding section 10a.

[0062] Drawing 3 is a timing chart which compares mutually the timing of various kinds of image data outputted, and shows it. The image (a) usually shows the example of the image data which MPEG video decoding section 10a outputs to a frame buffer 19 at the time of playback. MPEG video decoding section 10a -- a frame buffer 19 -- I0, B0, B1, B-2, P0, and ... image data is outputted in order of a picture.

[0063] The image (b) shows the image data which a frame buffer 19 outputs to the video encoder 18, when a frame buffer 19 receives the image data expressed by the image (a). In time of day T500, if a display initiation instruction is inputted into MPEG video decoding section 10a, MPEG video decoding section 10a will start the decoded output of the image data of I0 picture, and the image data of frame buffer 0 picture will be accumulated by 19. At the time of day T501 when a display initiation instruction is inputted into MPEG video decoding section 10a next, MPEG video decoding section 10a starts the output of the image data of B0 picture decoded to the frame buffer 19, and a frame buffer 19 starts the output to the video encoder 18 of the image data of I0 picture

which was being accumulated. Thus, at the time of playback, only a frame period is overdue from the time of day when MPEG video decoding section 10A starts an output, and a frame buffer 19 usually starts the output to the video encoder 18 of image data.

[0064] The image (c) shows the example of the image data which MPEG video decoding section 10a outputs to a frame buffer 19 at the time of 1/2X slow playback as an example of the 1X slow playback for an integer. MPEG video decoding section 10a -- a frame buffer 19 -- I0, B0, B1, B-2, P0, and ... although image data is outputted in order of a picture, since the clock signal inputted into MPEG video decoding section 10a is usually a 1/2 twice [at the time of playback] as many frequency as this, the time amount which the output of image data takes to MPEG video decoding section 10a usually becomes the twice at the time of playback.

[0065] The image (d) shows the image data which a frame buffer 19 outputs to the video encoder 18, when the image data expressed by the image (c) is inputted into a frame buffer 19. At the time of 1/2X slow playback, display time-of-day judging section 16a for slow decoding outputs a display initiation instruction to a changeover switch 13 for every frame period, and a display initiation instruction is further inputted into a frame buffer 19 via a changeover switch 13. At time of day T510, if a display initiation instruction is inputted into

MPEG video decoding section 10a, MPEG video decoding section 10a will start the decoded output of the image data of I0 picture, and the image data of frame buffer 0 picture will be accumulated [19]. At the time of day T511 when only frame period time amount has passed since time of day T510, a display initiation instruction is inputted into a frame buffer 19, and 19 starts the output to the video encoder 18 of the image data of frame buffer 0 picture. At the time of day T512 when a display initiation instruction is inputted into MPEG video decoding section 10a next, MPEG video decoding section 10a starts the output of the image data of B frame buffer 0 picture to 19, and a frame buffer 19 starts the output of the image data of I0 picture again to the video encoder 18. At time of day T513, a display initiation instruction is inputted into a frame buffer 19, and 19 starts the output to the video encoder 18 of the image data of B frame buffer 0 picture.

[0066] The image (e) shows the example of the image data which MPEG video decoding section 10a outputs to a frame buffer 19 at the time of the 1/2.5X slow playback as an example of the slow playback which is not 1X for an integer. MPEG video decoding section 10a -- a frame buffer 19 -- I0, B0, B1, B-2, P0, and ... although image data is outputted in order of a picture, since the clock signal inputted into MPEG video decoding section 10a is usually 1/2.5 time [at the time of playback] the frequency of this, the time amount which the output of

image data takes to MPEG video decoding section 10a usually becomes 2.5 times at the time of playback.

[0067] The image (f) shows the image data which a frame buffer 19 outputs to the video encoder 18, when a frame buffer 19 receives the image data expressed by the image (e). At the time of 1/2.5X slow playback, display time-of-day judging section 16a for slow decoding outputs a display initiation instruction to a changeover switch 13 for every frame period, and a display initiation instruction is inputted into a frame buffer 19 via a changeover switch 13.

[0068] In time of day T520, if a display initiation instruction is inputted into MPEG video decoding section 10a, MPEG video decoding section 10a will start the decoded output of the image data of I0 picture, and the image data of I-frame buffer 0 picture will be accumulated [19]. At the time of day T521 when only frame period time amount has passed since time of day T520, and the time of day T522 when only frame period time amount has passed since time of day T521, a display initiation instruction is inputted into a frame buffer 19, and a frame buffer 19 starts the output to the video encoder 18 of the stored image data.

[0069] At the time of day T523 when a display initiation instruction is inputted into MPEG video decoding section 10a next, MPEG video decoding section 10a starts the output of the image data of B-frame buffer 0 picture to 19. Furthermore,

at the time of day T524 when only frame period time amount has passed since time of day T522, and the time of day T525 when only frame period time amount has passed since time of day T524, a display initiation instruction is inputted into a frame buffer 19, and a frame buffer 19 starts the output to the video encoder 18 of the stored image data.

[0070] Here, although MPEG video decoding section 10a starts the output of the image data of I0 picture from time of day T520 and it will complete by time of day T523, it is one side and a frame buffer 19 will complete the output of the image data of an I0' picture by the time of day T522 earlier than time of day T523. Therefore, since the image data of an I0' picture is outputted, before reading image data from a frame buffer 19, a part of image data of I0 picture written in the frame buffer 19 is outputted by MPEG video decoding section 10a as image data of an I0' picture. Therefore, the image data of an I0' picture becomes the same as that of the image data of I0 picture only in the upper part in a screen.

[0071] Similarly, although MPEG video decoding section 10a starts the output of the image data of B0 picture from time of day T523 and it will complete by time of day T526, it is one side and a frame buffer 19 will complete the output of the image data of a B0' picture by the time of day T525 earlier than time of day T526. Since the image data of a B0' picture is outputted, before reading image data from a frame buffer 19, therefore, by MPEG video decoding section 10a Also by

the writing of a part of image data of the B0' picture written in the frame buffer 19, and the image data of B0 picture by MPEG video decoding section 10a A part of image data of I0 picture which is not overwritten yet is outputted as image data of a B0' picture. Therefore, the image data of a B0' picture is the same as that of the image data of B0 picture only in the upper part in a screen, and becomes the same as that of the image data of I0 picture in the lower part.

[0072] As mentioned above, at the time of slow playback, first, only a frame period is overdue from the time of day when MPEG video decoding section 10a starts an output, and the output to the video encoder 18 of the image data stored in the frame buffer 19 is started for every frame period. The video encoder 18 changes the image data which is the digital video signal outputted from a frame buffer 19 into the NTSC video signal which can be displayed on commercial TV monitor. Usually, since image data is inputted into the video encoder 18 for every proper frame period from a frame buffer 19 at the time of slow playback at the time of playback, it is possible for the video encoder 18 to change the inputted image data into a proper NTSC video signal, and to output the changed NTSC video signal.

[0073] Gestalt 2. drawing 4 of operation is the block diagram of the MPEG data regenerative apparatus containing the MPEG decoder by the gestalt 2 of operation of this invention. The MPEG data regenerative apparatus 102 of

drawing 4 is equipped with the MPEG decoder 112, and differ characteristic [the MPEG data regenerative apparatus 101 shown in drawing 1] about some signal lines which tell an input signal to MPEG video decoding section 10a.

[0074] In the MPEG data regenerative apparatus 102, MPEG video decoding section 10a extracts DTS for every image from the video PES inputted from the MPEG system layer decoder 8. MPEG video decoding section 10a reads the enumerated data of STC circuit 9, and when the time of day which the enumerated data of an STC circuit show, and the time of day which DTS extracted from Video PES shows are in agreement, it starts decoding of the corresponding image. In the MPEG data regenerative apparatus 102, MPEG video decoding section 10a performs decoding actuation synchronizing with the 27MHz clock signal inputted from VCXO12a. MPEG video decoding section 10a stores the decoded image data in the local memory 17. Further, from the local memory 17, image data will be read and MPEG video decoding section 10a will output the read image data to a frame buffer 19, if a display initiation instruction is inputted from a changeover switch 13. A frame buffer 19 starts the output to the video encoder 18 of the accumulated image data, whenever it accumulates the image data inputted from MPEG video decoding section 10a and a display initiation instruction is inputted from a changeover switch 13.

[0075] Drawing 5 is a timing chart which compares mutually the timing of various

kinds of image data outputted, and shows it. The image (a) usually shows the example of the image data which MPEG video decoding section 10a outputs to a frame buffer 19 at the time of playback. MPEG video decoding section 10a -- a frame buffer 19 -- I0, B0, B1, B-2, P0, and ... image data is outputted in order of a picture.

[0076] The image (b) shows the image data which a frame buffer 19 outputs to the video encoder 18, when a frame buffer 19 receives the image data expressed by the image (a). In time of day T700, if a display initiation instruction is inputted into MPEG video decoding section 10a, MPEG video decoding section 10a will start the decoded output of the image data of I0 picture, and the image data of frame buffer 0 picture will be accumulated [19]. At the time of day T701 when a display initiation instruction is inputted into MPEG video decoding section 10a next, MPEG video decoding section 10a starts the output of the image data of B0 picture decoded to the frame buffer 19, and a frame buffer 19 starts the output to the video encoder 18 of the image data of I0 picture which was being accumulated. Thus, at the time of playback, only a frame period is overdue from the time of day when MPEG video decoding section 10a starts an output, and a frame buffer 19 usually starts the output to the video encoder 18 of image data.

[0077] The image (c) shows the example of the image data which MPEG video

decoding section 10a outputs to a frame buffer 19 at the time of the 1/2X slow playback as an example of the 1X slow playback for an integer. MPEG video decoding section 10a -- a frame buffer 19 -- I0, B0, B1, B-2, P0, and ... image data is outputted in order of a picture. Since the frequency of the clock signal inputted into MPEG video decoding section 10a is usually the same as the time of playback, the time amount which the output of image data takes to MPEG video decoding section 10a is usually the same as the time of playback.

[0078] The image (d) shows the image data which a frame buffer 19 outputs to the video encoder 18, when a frame buffer 19 receives the image data expressed by the image (c). At the time of 1/2X slow playback, display time-of-day judging section 16a for slow decoding outputs a display initiation instruction to a changeover switch 13 for every frame period, and a display initiation instruction is further inputted into a frame buffer 19 via a changeover switch 13. In time of day T710, if a display initiation instruction is inputted into MPEG video decoding section 10a, MPEG video decoding section 10a will start the decoded output of the image data of I0 picture, and the image data of frame buffer 0 picture will be accumulated [19]. At the time of day T711 when only frame period time amount has passed since time of day T710, a display initiation instruction is inputted into a frame buffer 19, and 19 starts the output to the video encoder 18 of the image data of frame buffer 0 picture. At the time of day T712

when a display initiation instruction is inputted into MPEG video decoding section 10a next, MPEG video decoding section 10a starts the output of the image data of Bframe buffer 0 picture to 19, and a frame buffer 19 starts the output of the image data of I0 picture again to the video encoder 18. At time of day T713, a display initiation instruction is inputted into a frame buffer 19, and 19 starts the output to the video encoder 18 of the image data of Bframe buffer 0 picture.

[0079] The image (e) shows the example of the image data which MPEG video decoding section 10a outputs to a frame buffer 19 at the time of 1/2.5X slow playback as an example of the slow playback which is not 1X for an integer. MPEG video decoding section 10a -- a frame buffer 19 -- I0, B0, B1, B-2, P0, and ... image data is outputted in order of a picture. Since the frequency of the clock signal inputted into MPEG video decoding section 10a is usually the same as the time of playback, the time amount which the output of image data takes to MPEG video decoding section 10a is usually the same as the time of playback.

[0080] The image (f) shows the image data which a frame buffer 19 outputs to the video encoder 18, when a frame buffer 19 receives the image data expressed by the image (e). At the time of 1/2.5X slow playback, display time-of-day judging section 16a for slow decoding outputs a display initiation instruction to a changeover switch 13 for every frame period, and a display

initiation instruction is inputted into a frame buffer 19 via a changeover switch 13.

In time of day T720, if a display initiation instruction is inputted into MPEG video decoding section 10a, MPEG video decoding section 10a will start the decoded output of the image data of I0 picture, and the image data of I-frame buffer 0 picture will be accumulated [19]. At the time of day T721 when only frame period time amount has passed since time of day T720, and the time of day T722 when only frame period time amount has passed since time of day T721, a display initiation instruction is inputted into a frame buffer 19, and a frame buffer 19 starts the output to the video encoder 18 of the stored image data. At the time of day T723 when a display initiation instruction is inputted into MPEG video decoding section 10a next, MPEG video decoding section 10a starts the output of the image data of B-frame buffer 0 picture to 19. Furthermore, at the time of day T724 when only frame period time amount has passed since time of day T722, and the time of day T725 when only frame period time amount has passed since time of day T724, a display initiation instruction is inputted into a frame buffer 19, and a frame buffer 19 starts the output to the video encoder 18 of the stored image data.

[0081] As mentioned above, at the time of slow playback, first, only a frame period is overdue from the time of day when MPEG video decoding section 10a starts an output, and the output to the video encoder 18 of the image data stored

in the frame buffer 19 is started for every frame period. The video encoder 18 changes into an NTSC video signal the image data which is the digital video signal inputted from a frame buffer 19. Usually, since image data is inputted into the video encoder 18 for every proper frame period from a frame buffer 19 at the time of slow playback at the time of playback, it is possible for the video encoder 18 to change the inputted image data into a proper NTSC video signal, and to output the changed NTSC video signal.

[0082] Gestalt 3. drawing 6 of operation is the block diagram of the MPEG data regenerative apparatus containing the MPEG decoder by the gestalt 3 of operation of this invention. The MPEG data regenerative apparatus 103 of drawing 6 is equipped with the MPEG decoder 113. Replace with MPEG video decoding section 10a, and it has MPEG video decoding section 10b. Replace with display time-of-day judging section 11a, have display time-of-day judging section 11b, replace with display time-of-day judging section 16a for slow decoding, and it has display time-of-day judging section 16b for slow decoding. Furthermore, in the point equipped with the image data output section 32 and the reference frame 33, it differs characteristic [the MPEG data regenerative apparatus 101 shown in drawing 1].

[0083] Display time-of-day judging section 11b reads in MPEG image data PTS (Presentation Time Stamp) which shows the data output (display) timing after

decoding. The comparison with the enumerated data of STC circuit 9 and PTS which are performing counting based on PCR is performed. When the enumerated data of STC circuit 9 reach to the predetermined near value to PTS, the control signal for starting the output (display) of decoding data is given to MPEG video decoding section 10b and display time-of-day judging section 16b for slow decoding.

[0084] Display time-of-day judging section 16b for slow decoding generates the display-control signal at the time of slow playback based on the display-control signal from display time-of-day judging section 11b, and the frame frequency information from the frame rate judging section 15 and the reference clock from VCXO12a. MPEG video decoding section 10b performs decoding of MPEG image data. The reference frame 33 is the memory for developing and referring to image data, in case MPEG video decoding section 10b decodes. The image data output section 32 outputs the image data stored in the reference frame 33 according to the display-control signal which display time-of-day judging section 11b and display time-of-day judging section 16b for slow decoding generate.

[0085] The MPEG data regenerative apparatus 103 constituted as mentioned above operates as follows. The signal after the error correction outputted from the error correction section 6 is the data stream of a MPEG-TS format, and time-division multiplexing of the image data (video data) by which compression

processing was carried out based on MPEG specification, voice data (audio data), and the additional information about these is carried out in the packet-ized format. The data stream of a MPEG-TS format is inputted into the MPEG system layer decoder 8, and the videos PES and PCR which choose only the packet of image data and are obtained are extracted. The MPEG system layer decoder 8 transmits Video PES to MPEG video decoding section 10b, display time-of-day judging section 11b, and the frame rate judging section 15, and tells PCR to STC circuit 9.

[0086] MPEG video decoding section 10b extracts DTS for every image from the video PES inputted from the MPEG system layer decoder 8. MPEG video decoding section 10b reads the enumerated data of STC circuit 9, and when the time of day which the enumerated data of STC circuit 9 show, and the time of day which DTS extracted from Video PES shows are in agreement, it starts decoding of the corresponding image. The clock signal which carried out dividing of the 27MHz clock signal outputted from VCXO12a by slow decoding control-section 12b according to reproduction speed is inputted into MPEG video decoding section 10b, and MPEG video decoding section 10b performs decoding to it based on the inputted clock signal. MPEG video decoding section 10b stores in the reference frame 33 the image data decoded further.

[0087] Display time-of-day judging section 11b extracts PTS which shows

display timing from the video PES inputted from the MPEG system layer decoder

8. Further, display time-of-day judging section 11b supervises STC circuit 9, and when the time of day which PTS shows, and the time of day which STC shows arrive at coincidence thru/or a certain fixed near range, it outputs the image display [degree] initiation instruction which makes the image data output section 32 start the display of an image to a changeover switch 13. In addition, it is the instruction which makes the display of the image displayed on the next of the image which displayed the image display [degree] initiation instruction just before the images displayed immediately before differed start.

[0088] The frame rate judging section 15 extracts the frame rate information expressing the frame period of an image from the video PES inputted from the MPEG system layer decoder 8, and outputs frame rate information to display time-of-day judging section 16b for slow decoding. Display time-of-day judging section 16b for slow decoding can obtain the frame period of an image from the frame rate information inputted from the frame rate judging section 15. Moreover, display time-of-day judging section 16b for slow decoding generates a repetitive display initiation instruction for every frame period with the arrival time of an image display [degree] initiation instruction of the beginning inputted from display time-of-day judging section 11b as the starting point, and outputs it to a changeover switch 13. However, display time-of-day judging section 16b for

slow decoding outputs an image display [degree] initiation instruction instead of the output of a repetitive display initiation instruction. In the time of day when the repetitive display initiation instruction just behind that is outputted, when an image display [degree] initiation instruction is inputted from display time-of-day judging section 11b. In addition, it is the instruction which makes the display of the same image start with the image displayed as the repetitive display initiation instruction immediately before. Moreover, the clock signal which was inputted from VCXO12 and by which dividing is not carried out is used for generation of a frame period.

[0089] A slow playback control section 14 controls a changeover switch 13, and it usually controls a changeover switch 13 at the time of playback so that the image-display [degree] initiation instruction or the repetitive display initiation instruction which display time-of-day judging section 16b for slow decoding outputs is inputted into the image data-output section 32 at the time of slow playback, so that the display initiation instruction which display time-of-day judging section 11b outputs is inputted into the image data-output section 32.

[0090] Drawing 7 is a timing chart which shows the timing as which the image display [degree] initiation instruction or the repetitive display initiation instruction which display time-of-day judging section 11b and display time-of-day judging section 16b for slow decoding output is inputted into the image data

output section 32 via a changeover switch 13. The timing chart (a) shows the timing as which an image display [degree] initiation instruction is usually inputted into the image data output section 32 at the time of playback. The timing chart (b) shows the timing to which display time-of-day judging section 11b outputs an image display [degree] initiation instruction at the time of the 1/2.5X playback as an example of slow decoding. The timing chart (c) shows the timing to which display time-of-day judging section 16b for slow decoding outputs an image display [degree] initiation instruction or a repetitive display initiation instruction to 1/2.5X o'clock.

[0091] It is being displayed on one drawing that drawing 7 can compare these three kinds of timing mutually. Moreover, actuation at each time of day drawn on a timing chart (a) is expressed with the tabular format to drawing 8 . Similarly, actuation at each time of day drawn on a timing chart (c) is expressed with the tabular format to drawing 9 .

[0092] Usually, the slow playback control section 14 controls a changeover switch 13 by the time of playback so that the image display [degree] initiation instruction which display time-of-day judging section 11b outputted is inputted into the image data output section 32 via a changeover switch 13. The time of day which detected that PTS1 whose display time-of-day judging section 11b is PTS of the image displayed first, and the enumerated data of time of day T901 in

a timing chart (a) of STC circuit 9 corresponded is shown, and in this time of day, an image display [degree] initiation instruction is outputted to a changeover switch 13, and is inputted into the image data output section 32 via a changeover switch 13. It is the time of day which detected that PTS2 whose display time-of-day judging section 11b is PTS of the image displayed on the next, and the enumerated data of time of day T902 in a timing chart (a) of STC circuit 9 corresponded similarly, and in this time of day, an image display [degree] initiation instruction is outputted to a changeover switch 13, and is inputted into the image data output section 32 via a changeover switch 13. Thus, an image display [degree] initiation instruction is inputted into the image data output section 32 at the time of day PTS extracted from Video PES and whose enumerated data of STC circuit 9 usually corresponded at the time of playback.

[0093] Below, display time-of-day judging section 11b explains the timing which outputs an image display [degree] initiation instruction at the time of slow playback. The timing chart (b) shows the timing to which display time-of-day judging section 11b outputs an image display [degree] initiation instruction at the time of 1/2.5X slow playback as an example of the slow playback which is not 1X for an integer. It is the time of day which detected that PTS1 which is PTS of the image displayed first, and time of day's T911 of a timing chart (b) enumerated data of STC circuit 9 corresponded, and time of day T912 is the

time of day which detected that PTS2 which is PTS of the image displayed on the next, and the enumerated data of STC circuit 9 were in agreement. At the time of 1/2.5X playback, the frequency of the clock signal inputted into STC circuit 9 usually falls by 1/2.5 time at the time of playback. Therefore, compared with spacing of the time of day T901 at the time of playback, and time of day T902, spacing of the time of day T911 at the time of 1/2.5X slow playback and time of day T912 is usually expanded by 2.5 times.

[0094] In order to display correctly the image data outputted from the MPEG data regenerative apparatus 103 at the time of slow playback with an external monitor, image data must be outputted with a proper frame period from the image data output section 32. A proper frame period is obtained from the frame rate judging section 15.

[0095] Then, display time-of-day judging section 16b for slow decoding outputs an image display [degree] initiation instruction or a repetitive display initiation instruction for every frame period from display time-of-day judging section 11b on the basis of the time of day into which the display initiation instruction was inputted for the first time. At the time of slow playback, the slow playback control section 14 controls a changeover switch 13 so that the image display [degree] initiation instruction or the repetitive display initiation instruction which display time-of-day judging section 16b for slow decoding outputted is inputted into the

image data output section 32. Thereby, a display initiation instruction is inputted into the image data output section 32 with a proper frame period also at the time of the slow playback which is not 1X for an integer.

[0096] The timing chart (c) shows the timing to which display time-of-day judging section 16b for slow decoding outputs an image display [degree] initiation instruction or a repetitive display initiation instruction at the time of $1/2.5X$ slow playback. Time of day T921, T922, T923, T924, T925, and T926 is timing to which display time-of-day judging section 16b for slow decoding outputs an image display [degree] initiation instruction or a repetitive display initiation instruction. Time of day T921 is the time of day when the image display [degree] initiation instruction was inputted into display time-of-day judging section 16b for slow decoding for the first time from display time-of-day judging section 11b. Time of day T922 is time amount in which only the frame period has passed since time of day T921, and time of day T923 is time of day when only the frame period has passed since time of day T922. Display time-of-day judging section 16b for slow decoding outputs an image display [degree] initiation instruction or a repetitive display initiation instruction for every frame period like time of day T922 and T923 and on the basis of time of day T921. At this time, a frame period is generated based on the 27MHz clock signal with which dividing of VCXO12 is not carried out regardless of the **** value of slow playback.

[0097] As drawing 8 shows, since display time-of-day judging section 16b for slow decoding receives an image display [degree] initiation instruction from display time-of-day judging section 11b, at time of day T921 and T926, it outputs an image display [degree] initiation instruction. Moreover, since time of day T924 has also received the image display [degree] initiation instruction from display time-of-day judging section 11b immediately before, it outputs an image display [degree] initiation instruction. On the other hand, at time of day T922, T923, and T925, display time-of-day judging section 16b for slow decoding outputs a repetitive display initiation instruction.

[0098] MPEG video decoding section 10b extracts DTS for every image from the video PES inputted from the MPEG system layer decoder 8. MPEG video decoding section 10b reads the enumerated data of STC circuit 9, and when the time of day which the enumerated data of an STC circuit show, and the time of day which DTS extracted from Video PES shows are in agreement, it starts decoding of the corresponding image. The clock signal acquired by carrying out dividing of the 27MHz clock signal outputted from VCXO12a by slow decoding control-section 12b according to reproduction speed is inputted into MPEG video decoding section 10b, and MPEG video decoding section 10b performs decoding based on the inputted clock signal. MPEG video decoding section 10b stores the decoded image data in the reference frame 33.

[0099] Drawing 10 is a timing chart which compares mutually the timing of various kinds of image data inputted or outputted, and shows it. The image (a) usually shows the example of the image data which MPEG video decoding section 10b receives from the MPEG system layer decoder 8 at the time of playback. MPEG video decoding section 10b -- I0, P0, B0, B1, B-2, P1, and ... image data is inputted in order of the order of a picture, i.e., an output. Time of day T1001 is the time of day DTS of the image data of I0 picture and whose enumerated data of an STC circuit corresponded, and is time of day when the MPEG video decoding section starts decoding of the image data of I0 picture. Moreover, time of day T1002 is the time of day DTS of the image data of P0 picture and whose enumerated data of an STC circuit corresponded, and is time of day when the MPEG video decoding section starts decoding of the image data of P0 picture.

[0100] Similarly, decoding of decoding of 1003Btime-of-day T0 picture and 1004Btime-of-day T1 picture and time of day T1005 are time of day when decoding of decoding of decoding of B-2 picture and 1006Ptime-of-day T1 picture and 1007Btime-of-day T3 picture is started, respectively. MPEG video decoding section 10b outputs the decoded image data to the reference frame 33, after decoding image data. Moreover, in case MPEG video decoding section 10b performs decoding of P picture and B picture, refer to I picture and P picture

which are stored in the reference frame 33 for it.

[0101] The image (b) shows the example of the image data which the image data output section 32 outputs to the video encoder 18, when the image data which usually appears by the image (a) at the time of playback is inputted into MPEG video decoding section 10b. this example -- the image data output section 32 -- I0, B0, B1, B-2, P0, and ... image data is outputted to the video encoder 18 in order of the order of a picture, i.e., a display.

[0102] In time of day T1011, if an image display [degree] initiation instruction is inputted into the image data output section 32, the image data output section 32 will read the image data of I0 picture from the reference frame 33, and will output this image data to the video encoder 18. At the time of day T1012 when an image display [degree] initiation instruction is inputted into the image data output section 32 next, the image data output section 32 reads the image data of B0 picture from the reference frame 33, and outputs this image data to the video encoder 18. Thus, when the image display [degree] initiation instruction from display time-of-day judging section 11b is received, at the time of playback, the image data output section 32 reads the following image data from the reference frame 33, and usually outputs this image data to the video encoder 18 at it.

[0103] The image (c) shows the example of the image data which MPEG video decoding section 10b receives from the MPEG system layer decoder 8 at the

time of the 1/2.5X slow playback as an example of slow playback. MPEG video decoding section 10b – I0, P0, B0, B1, and ... image data is inputted in order of a picture. Time of day T1021 is the time of day DTS of an image I0 and whose enumerated data of STC circuit 9 corresponded, and is time of day when b starts decoding ofIMPEG video decoding section 100 picture. Moreover, time of day T1022 is the time of day DTS of an image P0 and whose enumerated data of STC circuit 9 corresponded, and is time of day when b starts decoding ofPMPEG video decoding section 100 picture. Similarly, 1023 are time of day when decoding ofBtime-of-day T0 picture is started.

[0104] MPEG video decoding section 10b outputs the decoded image data to the reference frame 33, after decoding image data. In addition, since MPEG video decoding section 10b operates according to the clock signal which carried out dividing of the output clock signal of VCXO12a by slow decoding control-section 12b based on reproduction speed, it usually requires the 2.5 times as many time amount in the time of playback as this as decoding time amount at the time of 1/2.5X slow playback. Moreover, in case MPEG video decoding section 10b performs decoding of P picture and B picture, refer to I picture and P picture which are stored in the reference frame 33 for it.

[0105] The image (d) shows the example of the image data which the image data output section 32 outputs to the video encoder 18, when the image data

expressed by the image (a) is inputted into the MPEG system layer decoder 8 as an example of slow playback. this example -- the image data output section 32 -- I0, B0, and ... image data is outputted to the video encoder 18 in order of a picture.

[0106] When an image display [degree] initiation instruction or a repetitive display initiation instruction is inputted for every frame period from display time-of-day judging section 16 for slow decoding b, from the reference frame 33, the image data output section 32 reads image data, and outputs the read image data to the video encoder 18. In time of day T1031, if an image display [degree] initiation instruction is inputted into the image data output section 32, the image data output section 32 will read the image data of I0 picture from the reference frame 33, and will output this image data to the video encoder 18.

[0107] In time of day T1032 and time of day T1033, if a repetitive display initiation instruction is inputted into the image data output section 32, from the reference frame 33, again, the image data output section 32 will read the image data of I0 picture, and will output the read image data to the video encoder 18. At time of day T1034, display time-of-day judging section 16b for slow decoding outputs not a repetitive display initiation instruction but an image display [degree] initiation instruction to the image data output section 32 in the time of day T1035 which is the output time of day of the display initiation instruction

immediately after time of day T1034 in display time-of-day judging section 16b for reception and slow decoding about the image display [degree] initiation instruction from display time-of-day judging section 11b.

[0108] In time of day T1035, if an image display [degree] initiation instruction is inputted into the image data output section 32, from the reference frame 33, the image data output section 32 will read the image data of B0 picture which should be displayed on the next of I0 picture which carried out display initiation at the time of day T1033 which is the last display start time, and will output the read image data to the video encoder 18. In time of day T1036, if a repetitive display initiation instruction is inputted into the image data output section 32, from the reference frame 33, again, the image data output section 32 will read the image data of B0 picture, and will output the read image data to the video encoder 18.

[0109] As mentioned above, at the time of slow playback, an image display [degree] initiation instruction or a repetitive display initiation instruction is inputted into the image data output section 32 for every frame period, and the image data stored in the reference frame 33 is outputted to the video encoder 18 at it. The video encoder 18 changes into an NTSC video signal the image data which is the digital video signal inputted from the image data output section 32. Usually, since image data is inputted into the video encoder 18 for every proper frame period from the image data output section 32 at the time of slow playback

at the time of playback, it is possible for the video encoder 18 to change the inputted image data into a proper NTSC video signal, and to output the changed NTSC video signal.

[0110] Gestalt 4. drawing 11 of operation is the block diagram of the MPEG data regenerative apparatus containing the MPEG decoder by the gestalt 4 of operation of this invention. The MPEG data regenerative apparatus 104 of drawing 11 is equipped with the MPEG decoder 114, and differ characteristic [the MPEG data regenerative apparatus 103 shown in drawing 6] about some signal lines which tell an input signal to MPEG video decoding section 10b. In the MPEG data regenerative apparatus 104, the 27MHz clock signal outputted from VCXO12 is inputted into MPEG video decoding section 10b, without not being concerned with reproduction speed but carrying out dividing by slow decoding control-section 12b.

[0111] Display time-of-day judging section 11b reads in an MPEG video data PTS which shows the data output (display) timing after decoding. The comparison with the enumerated data of STC circuit 9 and PTS which are performing count actuation based on PCR is performed. When the enumerated data of STC circuit 9 reach to the predetermined near value to a PTS value, the control signal for starting the output (display) of decoding data is given to MPEG video decoding section 10b and display time-of-day judging section 16b for slow

decoding.

[0112] The frame rate judging section 15 reads the frame frequency information which is the information expressing the frame frequency at the time of a display, and exists in MPEG image data, and outputs it to display time-of-day judging section 16b for slow decoding. Display time-of-day judging section 16b for slow decoding generates the display-control signal at the time of slow playback based on the display-control signal from display time-of-day judging section 11b, and the frame frequency information from the frame rate judging section 15 and the reference clock from VCXO12.

[0113] Drawing 5 is a timing chart which compares mutually the timing of various kinds of image data inputted or outputted, and shows it. The image (a) usually shows the example of the image data which MPEG video decoding section 10b receives from the MPEG system layer decoder 8 at the time of playback. MPEG video decoding section 10b -- I0, P0, B0, B1, B-2, P0, and ... the sequence of a picture -- image data -- input ****. Time of day T1201 is the time of day DTS of an image I0 and whose enumerated data of STC circuit 9 corresponded, and is time of day when the MPEG video decoding section starts decoding of I0 picture. Moreover, time of day T1202 is the time of day DTS of P0 picture and whose enumerated data of STC circuit 9 corresponded, and is time of day when the MPEG video decoding section starts decoding of P0 picture.

[0114] Similarly, decoding of decoding of 1203Btime-of-day T0 picture and 1204Btime-of-day T1 picture and time of day T1205 are time of day when decoding of decoding of decoding of B-2 picture and 1206Ptime-of-day T1 picture and 1207Btime-of-day T3 picture is started, respectively. MPEG video decoding section 10b outputs the decoded image data to the reference frame 33, after decoding image data. Moreover, refer to I picture and P picture which are stored in the reference frame 33 for MPEG video decoding section 10b in the case of decoding of P picture and B picture.

[0115] The image (b) shows the example of the image data which the image data output section 32 outputs to the video encoder 18, when the image data expressed by the image (a) at the time of playback is usually inputted into the MPEG system layer decoder 8. this example -- the image data output section 32 -- I0, B0, B1, B-2, P0, and ... image data is outputted to the video encoder 18 in order of a picture.

[0116] In time of day T1211, if an image display [degree] initiation instruction is inputted into the image data output section 32, the image data output section 32 will read the image data of I0 picture from the reference frame 33, and will output this image data to the video encoder 18. At the time of day T1212 when an image display [degree] initiation instruction is inputted into the image data output section 32 next, the image data output section 32 reads the image data of

B0 picture from the reference frame 33, and outputs this image data to the video encoder 18. Thus, when the image display [degree] initiation instruction from display time-of-day judging section 11b is inputted, at the time of playback, the image data output section 32 reads the following image data from the reference frame 33, and usually outputs this image data to the video encoder 18 at it.

[0117] The image (c) shows the example of the image data which MPEG video decoding section 10b receives from the MPEG system layer decoder 8 at the time of the 1/2.5X slow playback as an example of slow playback. MPEG video decoding section 10b -- I0, P0, B0, B1, and ... image data is inputted in order of a picture. Time of day T1221 is the time of day DTS of I0 picture and whose enumerated data of STC circuit 9 corresponded, and is time of day when the MPEG video decoding section starts decoding of I0 picture. Moreover, time of day T1022 is the time of day DTS of P0 picture and whose enumerated data of STC circuit 9 corresponded, and is time of day when the MPEG video decoding section starts decoding of P0 picture. Similarly, 1223 are time of day which starts decoding of Btime-of-day T0 picture.

[0118] MPEG video decoding section 10b outputs the decoded image data to the reference frame 33, after decoding an image. In addition, since MPEG video decoding section 10b operates with the 27MHz clock signal which VCXO12 outputs, it requires the usually same time amount as the time of playback as

decoding time amount per image at the time of 1/2.5X slow playback. Moreover, refer to I picture and P picture which are stored in the reference frame 33 for MPEG video decoding section 10b in the case of decoding of P picture and B picture.

[0119] The image (d) shows the example of the image data which the image data output section 32 outputs to the video encoder 18, when the image data expressed by the image (a) is inputted into the MPEG system layer decoder 8 as an example of slow playback. this example -- the image data output section 32 -- I0, B0, and ... image data is outputted to the video encoder 18 in order of a picture.

[0120] When an image display [degree] initiation instruction or a repetitive display initiation instruction is inputted for every frame period from display time-of-day judging section 16 for slow decoding b, from the reference frame 33, the image data output section 32 reads image data, and outputs the read image data to the video encoder 18. In time of day T1231, if an image display [degree] initiation instruction is inputted into the image data output section 32, from the reference frame 33, the image data output section 32 will read the image data of I0 picture, and will output the read image data to the video encoder 18.

[0121] In time of day T1232 and time of day T1233, if a repetitive display initiation instruction is inputted into the image data output section 32, from the

reference frame 33, again, the image data output section 32 will read the image data of the picture of I0, and will output the read image data to the video encoder 18. At time of day T1234, it is the time of day T1235 which is the output time of day of the display initiation instruction immediately after time of day T1234 in display time-of-day judging section 16b for reception and slow decoding about the image display [degree] initiation instruction from display time-of-day judging section 11b, and display time-of-day judging section 16b for slow decoding outputs not a repetitive display initiation instruction but an image display [degree] initiation instruction to the image data output section 32.

[0122] In time of day T1235, if an image display [degree] initiation instruction is inputted into the image data output section 32, the image data output section 32 will read the image data of B0 picture which should be displayed on the next of I0 picture which started the display from the reference frame 33 at the time of day T1233 which is the last display start time, and will output the read image data to the video encoder 18. In time of day T1236, if a repetitive display initiation instruction is inputted into the image data output section 32, the image data output section 32 will read the image data of B0 picture from the reference frame 33 again, and will output this image data to the video encoder 18.

[0123] As mentioned above, at the time of slow playback, an image display [degree] initiation instruction or a repetitive display initiation instruction is

inputted into the image data output section 32 for every frame period, and the image data stored in the reference frame 33 is outputted to the video encoder 18 at it.

[0124]

[Effect of the Invention] In the equipment of the 1st invention, it is controlled by the processing control section so that the start time of the decryption for every unit in the decoding section and the start time of the output of decryption data suit a late rate, and when the decryption data obtained in the decoding section go via the storage section, one unit is outputted with the period which suited the original rate. For this reason, decoding at the late rate of the arbitration which does not need complicated circuitry like conventional equipment, and is not limited to 1X for an integer is realized.

[0125] the equipment of the 2nd invention -- a processing control section -- the clock generation section, the dividing section, and counting -- it consists of simple circuits by using the section.

[0126] With the equipment of the 3rd invention, since the decoding section decrypts coded data synchronizing with a dividing clock, no matter the late rate as which coded data is inputted may be what value, all coded data can be decrypted the neither more nor less.

[0127] With the equipment of the 4th invention, since the decoding section

decrypts coded data synchronizing with a reference clock with a period shorter than all dividing clocks, no matter the late rate as which coded data is inputted may be what value, all coded data can be decrypted the neither more nor less. And since the time amount which the decryption for every unit takes is short, the decryption data of the coded data of the one newest unit are obtained early as decryption data for one unit outputted from the storage section.

[0128] counting to which the output-control section carries out counting of the reference clock signal with the equipment of the 5th invention -- it consists of simple circuits by using the section.

[0129] With the equipment of the 6th invention, since the output-control section makes one of the stages of initiation of the output for every unit which a processing control section determines the origin of the stage to which the contents for one unit are made to output periodically, synchronizing with the time of day when the decoding section outputs the decryption data for one unit based on time-of-day-control information, the contents for one unit of decryption data are outputted from the storage section.

[0130] With the equipment of the 7th invention, since the storage section holds the decryption data for the one newest unit by holding in updating the decryption data which the decoding section outputs, the storage capacity which the storage section takes can be stopped low.

[0131] With the equipment of the 8th invention, since the storage section serves also as the storage for the reference for a decryption of inter-frame predicting-coding data, the storage capacity of the storage as the whole also including the storage section is reduced.

[0132] With the equipment of the 9th invention, since the decoder and the regenerative-signal processing section of this invention are equipped, the coded data recorded on the record medium is reproducible at the rate of arbitration.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the regenerative apparatus of the gestalt 1 of operation.

[Drawing 2] It is the explanatory view of the equipment of drawing 1 of operation.

[Drawing 3] It is the explanatory view of the equipment of drawing 1 of operation.

[Drawing 4] It is the block diagram of the regenerative apparatus of the gestalt 2 of operation.

[Drawing 5] It is the explanatory view of the equipment of drawing 4 of operation.

[Drawing 6] It is the block diagram of the regenerative apparatus of the gestalt 3

of operation.

[Drawing 7] It is the explanatory view of the equipment of drawing 6 of operation.

[Drawing 8] It is the explanatory view which explains actuation of the equipment of drawing 6 by the tabular format.

[Drawing 9] It is the explanatory view which explains actuation of the equipment of drawing 6 by the tabular format.

[Drawing 10] It is the explanatory view of the equipment of drawing 6 of operation.

[Drawing 11] It is the block diagram of the regenerative apparatus of the gestalt 4 of operation.

[Drawing 12] It is the explanatory view of the equipment of drawing 11 of operation.

[Drawing 13] It is the block diagram of the conventional regenerative apparatus.

[Drawing 14] It is the explanatory view of the equipment of drawing 13 of operation.

[Description of Notations]

5 The regenerative-signal processing section, 8 An MPEG system layer decoder (decoding section), 9 STC circuits (counting section), 10a, 10b The MPEG video decoding section (decoding section), 12a VCXO (clock generation section), 12b A slow decoding control section (minute periphery), 19 A frame buffer (storage

section), 33 Reference frame (storage section).